

酸素かい離エネルギーを考慮して酸素欠損制御した 薄膜トランジスタ用新規In系酸化物チャネル材料の 研究

メタデータ	言語: Japanese 出版者: 公開日: 2019-07-30 キーワード (Ja): キーワード (En): 作成者: 栗島, 一徳 メールアドレス: 所属:
URL	http://hdl.handle.net/10291/20248

明治大学大学院理工学研究科

2018年度

博士学位請求論文

酸素かい離エネルギーを考慮して
酸素欠損制御した薄膜トランジスタ用
新規 In 系酸化物チャネル材料の研究

A Study on New InO_x -based Channel Material for
Thin-film Transistor Controlled
Oxygen-vacancy in Consideration by Oxygen
Bond Dissociation Energy

学位請求者 電気工学専攻

栗島 一徳

目次

第1章 序論	1
1.1 背景	1
1.2 薄膜トランジスタ(Thin-film Transistor : TFT)の構造	2
1.3 酸化物半導体	3
1.4 酸化物半導体 TFT の技術展開.....	4
1.5 酸化物半導体チャネル材料の現状.....	5
1.6 酸化物半導体チャネル材料の要求.....	5
1.7 酸化物半導体チャネル材料の候補.....	5
1.8 酸化物半導体 TFT の信頼性評価.....	7
1.9 本研究の目的	8
1.9.1 In-Si-O 膜への C ドープ.....	8
1.9.2 Al ₂ O ₃ パッシベーション膜の In _{1-x} Si _x O _{1-y} C _y TFT への応用.....	9
1.10 本論文の構成	9
参考文献	11
第2章 In _{1-x} Si _x O _{1-y} C _y の作製手法及び評価手法.....	13
2.1 In _{1-x} Si _x O _{1-y} C _y 膜の作製.....	13
2.1.1 Si 基板洗浄	13
2.1.2 DC マグネトロンスパッタリング法.....	15
2.1.3 2元同時マグネトロンスパッタリング法.....	17
2.1.4 抵抗加熱蒸着法.....	17
2.1.5 原子層堆積(Atomic Layer Deposition : ALD)法	18
2.1.6 フォトリソグラフィ法.....	21
2.1.7 ドライエッチング	24
2.1.8 電気測定用試料.....	25
2.1.9 試料のアニール処理.....	26
2.2 In _{1-x} Si _x O _{1-y} C _y 膜の物性評価.....	28
2.2.1 In _{1-x} Si _x O _{1-y} C _y 薄膜の膜厚測定	28
2.2.2 X 線光電子分光法(X-ray photoelectron spectroscopy : XPS)による定量分析	30
2.2.3 X 線回折(X-ray diffraction : XRD)による膜の構造評価.....	32
2.2.4 集束イオンビーム加工(Focused Ion Beam : FIB)装置による試料の加工	33
2.2.5 透過型電子顕微鏡(Transmission Electron Microscope : TEM)による膜の結晶性評価	35
2.2.6 原子間力顕微鏡(Atomic Force Microscope : AFM)による膜の表面粗さ評価.....	37
2.2.7 X 線吸収端微細構造(X-ray Absorption Fine Structure : XAFS)法による膜の局所構造解析.....	38

2.3 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ の電気特性評価	39
2.3.1 ホール測定用試料の作製.....	39
2.3.2 TFT の作製	39
2.3.3 ホール測定.....	42
2.3.4 I - V 測定	45
2.3.5 バイアスストレス測定.....	48
2.4 まとめ	48
参考文献	49
第3章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製及び物性評価	50
3.1 はじめに	50
3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製及び評価手法	50
3.3 実験結果及び考察.....	51
3.3.1 2元同時スパッタリング法を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の成膜条件	51
3.3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 濃度及び成膜速度.....	52
3.3.3 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の C の存在評価	53
3.3.4 Post Metallization Anneal (PMA)前後における $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の化学結合状態の変化	54
3.3.5 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 濃度及び C 濃度の変化に対する酸素欠損の変化	56
3.3.6 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の In 及び Si の化学組成	57
3.3.7 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の気中における熱安定性の評価	58
3.3.8 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の表面モフォロジー	61
3.3.9 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の局所構造解析	62
3.4 まとめ	62
参考文献	63
第4章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の電気特性	65
4.1 はじめに	65
4.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製及び評価手法	65
4.3 実験結果及び考察.....	66
4.3.1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のホール移動度とキャリア濃度	66
4.3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の電気伝導率	68
4.4 まとめ	69
参考文献	70
第5章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の電気特性.....	71
5.1 はじめに	71
5.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製及び評価手法.....	71
5.3 実験結果及び考察.....	72
5.3.1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の I_d - V_g 特性及び I_d - V_d 特性.....	72

5.3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の電子移動度及び閾値電圧.....	73
5.4 まとめ	75
参考文献	76
第6章 High- $k/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル界面と電気特性の関係.....	77
6.1 はじめに	77
6.2 HK/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製及び評価手法.....	78
6.3 実験結果及び考察.....	79
6.3.1 バックゲート型 HK/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の特性評価.....	79
6.3.2 TFT 形状の違いによる電気特性の変化.....	80
6.4 まとめ	82
参考文献	82
第7章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の信頼性評価.....	83
7.1 はじめに	83
7.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製及び評価手法.....	83
7.3 実験結果及び考察.....	84
7.3.1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の負ゲートバイアスストレス(NBS)及び負ゲートバイアス光ストレス(NBIS)特性.....	84
7.3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の正ゲートバイアスストレス(PBS)特性	87
7.4 まとめ	89
参考文献	90
第8章 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の信頼性評価.....	91
8.1 はじめに	91
8.2 Al_2O_3 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製及び評価手法	92
8.3 実験結果及び考察.....	93
8.3.1 Al_2O_3 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の TEM 観察.....	93
8.3.2 Al_2O_3 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の初期特性	94
8.3.3 Al_2O_3 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の NBS, NBIS 及び PBS 特性	94
8.4 まとめ	100
参考文献	100
第9章 総括	102
9.1 結論	102
9.2 今後の課題	106
研究業績	108
謝辞	117

第 1 章 序論

1.1 背景

見る、触る。人間と電子デバイスを結ぶディスプレイの普及が目覚ましく、ディスプレイの高精細化、大画面化は確実に進む。HMI (Human Machine Interface)の高度化により、スマートフォンやタブレット端末、各種自動販売機から駅や空港、デパートの巨大表示板に至るまで、我々の生活はディスプレイで溢れかえっている。2020 年開催予定の東京オリンピックに向けてディスプレイの高精細化および大画面化は急速に進んでいる。現在の 4K のさらに 4 倍の画素数を誇る 8K の巨大ディスプレイが街中に設置され、観客は競技場に行かずとも、臨場感溢れる競技をパブリックビューイングで楽しめるようになる[1]。ディスプレイの表示画素を制御する薄膜トランジスタ(Thin film transistor : TFT)は、高精細、駆動周波数の高速応答及び低消費電力へ向けて、高性能化への要求が高まっている。液晶テレビ、インターネット及びスマートフォンで人と人及び人と情報を繋ぐインターフェースとして重要な役割を果たすために、さらなる高精細化及び大面積化とともに、軽量化及びフレキシブル化の付与など、新たな TFT の技術開発が要求されている。TFT の発展は、材料及び作製プロセスの研究開発によって進められてきた。TFT のチャンネル材料の研究においては、アモルファス Si(a-Si)及び低温ポリシリコン(Low temperature poly-crystal silicon : LTPS)に加え酸化物半導体及び有機物半導体などの半導体材料が盛んに研究されている。液晶テレビを中心にディスプレイの大型化が進む中で、製造技術はかつてない群雄割拠の状態にある。標準的な製造プロセスが確立されておらず、各社ごと、あるいはディスプレイの画面寸法ごとに利用する製造技術の組み合わせが違っている。ディスプレイの大型化と 4K×2K どころか 8K×4K への高精細化がここ数年でにわかに進み混乱状況にあること、そして何よりも一筋縄にはいかない製造の難しさがある。解決すべき技術的課題はいくつも存在するが、各課題で最適とみられる技術を選んでも製品を安定に生産することは難しく、メーカーが重視する方針の下で解決すべき課題に優先順位をつける必要が出てくる。その中でも、低温・大面積・低コストで作製することができる酸化物半導体をチャンネル材料に用いた TFT の開発が進んでいる。金属酸化物をチャンネル材料に用いた TFT は、a-Si 及び LTPS に比べて微細化できる利点から、液晶画素の開口率を向上して、高解像度パネルの実現に繋がる。その代表として Ga-In-Zn-O (GIZO)[2, 3]がある。

これまで、GIZO, In-Ga-O[4, 5], In-Sn-O[6, 7]及び In-Zn-O[8, 9]のような In 系金属酸化物をチャンネル材料に用いた研究が盛んになされている。しかし、In 系金属酸化物チャンネル層の電気伝導率及び移動度は、スパッタリング法の Ar/O₂ 分圧の変化に敏感で大きく変動することが知られている。この要因として、Ga-O, In-O 及び Zn-O の酸素かい離エネルギーが小さいために膜中に酸素欠損(V_O)を容易に生成しやすく制御しづらいためと考えられている。そこで、V_O 生成を制御でき、スパッタリングのプロセスマージン

を大きくとれて長期信頼性が高い新たな In 系金属酸化物が要求されている。

1.2 薄膜トランジスタ(Thin-film Transistor : TFT)の構造

TFT は金属(Metal)-酸化物(Oxide)-半導体(Semiconductor)の積層構造で構成される FET 構造の MOS 型電界効果トランジスタ(MOSFET)の一種である。TFT にはゲート電極が TFT の上部にあるトップゲート型とゲート電極が TFT の下部にあるボトムゲート型がある。それぞれの TFT の構造を Fig.1-1 に示す。

Fig. 1-2 にフラットパネルの画素イメージを示す。画素の透明電極 ITO (In-Ti-O)を、バックライト光が透過し、カラーフィルターを通して発色する。ディスプレイの高精細化は画素サイズの縮小によってなされるが、画素を縮小した際に、TFT や配線も縮小しなければ、光が遮られる割合が増えてしまう。そのため、単純な高精細化はパネル透過光を減少させて、光を補うためにバックライトの輝度を上げなければならない。その結果、消費電力が増大してしまう。この課題を解決するために、高移動度化 TFT の適用で TFT 面積を縮小し、開口率向上に繋げる。開口率が向上することは、バックライトの消費電力が大幅に低減し、寄生容量の減少にも繋がり大きなメリットになる[1]。

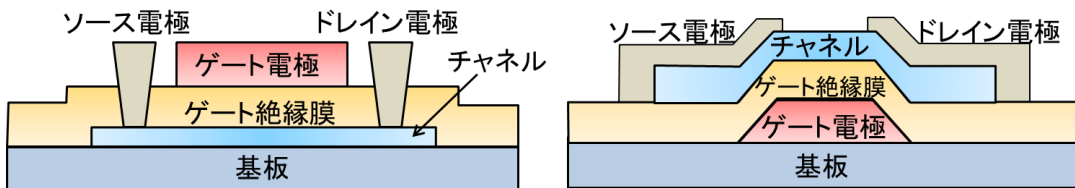


Fig. 1-1 (a) トップゲート型 TFT 及び (b) ボトムゲート型 TFT

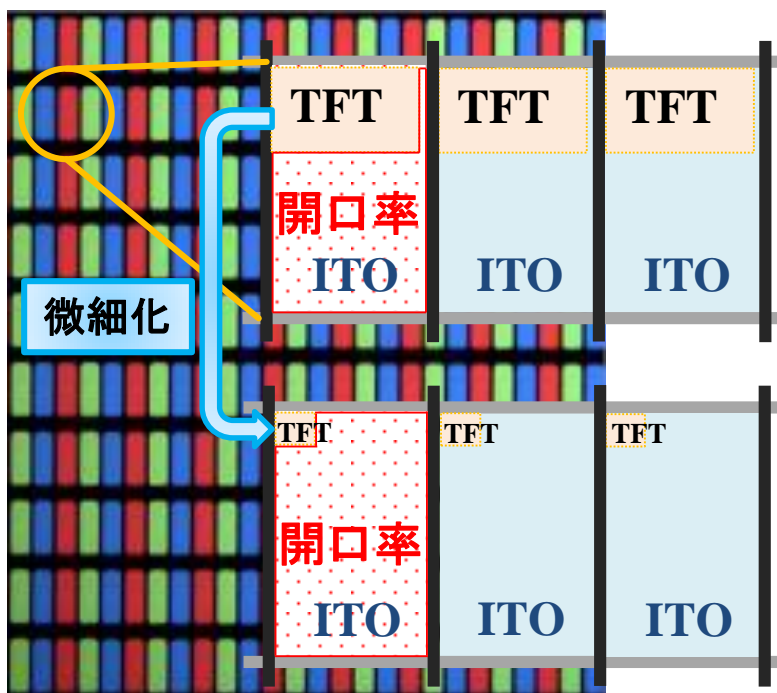


Fig. 1-2 TFT の微細化による開口率の上昇

1.3 酸化物半導体

金属酸化物薄膜は多様に存在して、様々な用途に用いられている。Table1-1 にその一例を示す。表面コーティングのような用途がある一方、透明導電膜、半導体、超伝導膜などその電気的特性を積極的に用いる用途に注目が集まっている。2000年代になって、制御された結晶成長技術によって高品質・単結晶の ZnO 薄膜が得られるようになり、励起子光物性の発現とともに、紫外発光ダイオードへの応用が話題となった。

酸化物半導体の大きな特徴は、As や P を使用しない安全で安定な材料であること、酸化反応が生じやすいこと、酸素が不純物ではないといった点にある。更に酸化物には半導体以外の様々な性質を示すものがあり、それら材料との融合により新しい機能材料としての進展が期待されている。

酸化物半導体デバイスでは、最近になって GIZO をチャネル材料に用いた TFT が搭載されたスマートフォンが実用化されて、液晶ディスプレイの高精細化や低消費電力化に貢献している。Table 1-2 に TFT のチャネル材料の比較表を示す[10]。GIZO は a-Si と比べて、電界効果移動度が高い、低消費電力化の鍵を握るリーク電流が低いという特徴を有する。また、GIZO は LTPS と比べて、電界効果移動度こそ低い、リーク電流が低い。更に製造プロセスが複雑で製造コストがかかる LTPS とは異なり、GIZO は製造工程が a-Si と同等であり、a-Si の生産ラインを一部改良して生産にそのまま利用できるという利点がある。つまり、生産性は a-Si と同等である。このような理由から、近年、チャネル材料を a-Si や LTPS から IGZO を代表する酸化物半導体へ置き換える動きが盛んである。

Table 1-1 各種酸化物と応用分野

性質	材料	応用例
透明導電膜	ZnO, ITO, SnO ₂	タッチパネル、ディスプレイ、太陽電池
半導体	Cu ₂ O, ZnO, CuAlO ₂	TFT、センサ、バリスタ
絶縁膜	SiO ₂ , Al ₂ O ₃ , MgO	電子デバイス、コンデンサ
超伝導膜	YBCO	超伝導デバイス、線材
圧電体	STO, ZnO	表面弾性波フィルター、センサ
光触媒	TiO ₂	エネルギー源、空気清浄、表面保護
反射防止膜	MgO, CeO ₂ , ZrO ₂	光部品、メガネ、紫外線防止ガラス
表面処理膜	Cr ₂ O ₃ , Y ₂ O ₃	表面保護

Table 1-2 TFT のチャネル材料の比較表

	a-Si	LTPS	Metal Oxide
Field-effect mobility (cm ² /(Vs))	< 1	50 - 100	5 - 50
TFT uniformity	Good	Fair	Good
TFT stability	Poor	Excellent	Good
Process temperature (°C)	< 300	> 500	< 350
Large panel process	Yes	? (Not yet?)	Yes
Cost	Low	High	Low

1.4 酸化物半導体 TFT の技術展開

近年、IoT (Internet of Things)、人工知能(AI)、ビッグデータ等を社会生活に取り入れ、経済発展と社会的課題解決の両立を目指す Society 5.0 が注目を集めている。これらの計画を実現するためには様々なデバイスの高性能・低消費電力化が必須である。これまで酸化物半導体をチャネル材料とした TFT を用いて、ディスプレイ応用に向けてのチャネル材料のプロセスマージンの改善及び高電子移動度化を達成してきたが、Society 5.0 は低コスト・低消費電力化が鍵を握る。また、ディスプレイ応用だけではなく、AI、感圧タッチ、バイオセンシング、RF ID チップ及び薄膜型生体デバイスなどへの技術展開が必要になってくる。これらが実現すれば、集積化の柔軟性に富み、高性能な新しい酸化物エレクトロニクス体系の構築(Fig. 1-3)が期待できる。今後、デバイスの低消費電力化は避けられず、多くのトランジスタを搭載したコンピュータは小型化、低価格化、省電力化、高信頼化の道を突き進む。この発達が進めば、コンビニで買い物をする感覚でコンピュータを入手する時代が来るだろう。

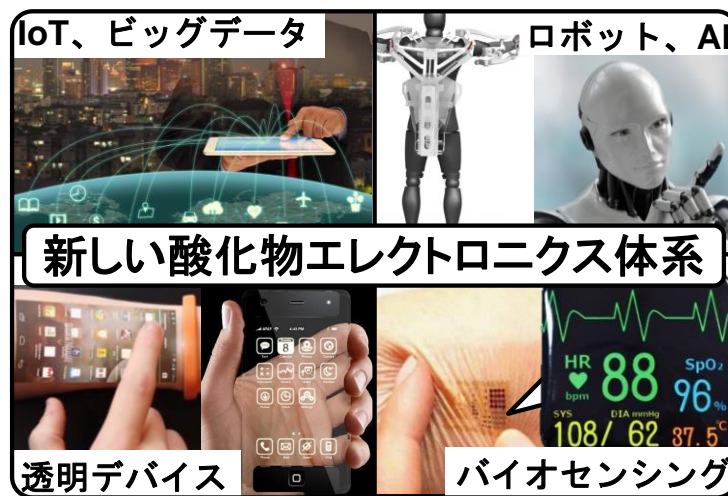


Fig. 1-3 酸化物半導体 TFT で実現する新しい酸化物エレクトロニクス体系

1.5 酸化物半導体チャネル材料の現状

TFT のチャネル材料における酸化物半導体の代表として、約 10 年前に登場した GIZO がある。前述した通り、現在、GIZO は一部のスマートフォン及びタブレット端末に搭載されているが、この材料には他の材料と比較して、一長一短がある。

まず、a-Si の場合、300 °C 以下という比較的低温で製造できるため、大画面化が可能である。しかし、高精細、高画質を実現するのに不可欠な TFT における電界効果移動度が低い。移動度を高めるためには、TFT の面積を大きくする必要があり、消費電力の増大に繋がっている。また、移動度が低いために 8K などのディスプレイへの採用は難しい。

次に、LTPS は 8K にも対応可能な高い移動度を持つものの、プロセス温度が 500 ~ 600 °C と高く、製造コストもかさむため、大画面化は現実的ではない。

そして GIZO だが、移動度は a-Si の数十倍と非常に高いものの、大面積で均質な薄膜を製造することが難しく、大画面化に向かない。

つまり、現状の酸化物半導体チャネル材料では、消費電力が増大する、製造コストがかさむ、そもそも大画面化が難しいなどの理由から、低消費電力で、高精細、大画面を実現する 8K など次世代ディスプレイには対応できない。そこで、GIZO 並みの移動度を持ちながら、低温で製造できる酸化物半導体の開発が要求されている[1]。

1.6 酸化物半導体チャネル材料の要求

1.5 節において述べた現状から、今後必要とされる低消費電力で、高精細、大画面を実現する 8K などの次世代ディスプレイに対応するため、TFT における酸化物半導体チャネル材料に要求される特性は、以下の 3 点に要約される。

- (1) 30 cm²/(Vs)を超える電界効果移動度
- (2) プロセス温度が 300 °C 以下
- (3) 製造プロセスが簡素である

これら 3 つの要件を併せ持つことができれば、製造コストを抑えられて、大画面パネルへの応用を達成することが可能であると考えられる。

1.7 酸化物半導体チャネル材料の候補

これまで酸化物半導体のチャネル材料として GIZO の研究がなされてきた。酸化物半導体のチャネル材料には他にも、ZnO, In₂O₃[11, 12], SnO₃ 及び In-Sn-O (ITO)[6, 7]がある。最近では、In-Ga-O[4, 5], In-Zn-O[8, 9], Ta-In-Zn-O[13], Sn-In-Zn-O[14], Hf-In-Zn-O[15, 16], Si-In-Zn-O[17, 18], Zr-In-Zn-O[19, 20], In-Al-O[21]及び In-Ge-O[22]といった In 系金属酸化物をチャネル材料とした TFT が研究されている。我々が最初に着目したのが、GIZO という材料の不安定さである。GIZO は Ga, In 及び Zn の原子数が 1:1:1 の構成の酸化物半導体である。いずれの元素においても、結合している酸素を引き離すのに必要なエネルギー量を示す酸素かい離エネルギーの値が低く、酸素がすぐに外れてしまうことを発見

した。これが材料としての不安定さの原因であることが明らかになった。酸化物半導体は、プロセスの簡素化と大面積化の対応のために成膜プロセスではスパッタリング法を用いている。しかし、In系金属酸化物の電気伝導率及び移動度は、スパッタリング法による成膜段階のO₂分圧に敏感で大きく影響されることが良く知られている。そこでまず、酸素かい離エネルギーが低く、不安定ではあるものの、移動度が高いInの酸化物に的を絞った。更にInの一部を、酸素かい離エネルギーが高い元素と置き換えることで、材料としての安定性を高めようと考えた。これは、In原子とO原子の酸素かい離エネルギーが346 kJ/mol[23]と小さいために膜中に酸素欠損(V_O)及び弱く結合した酸素(wb-O)を容易に生成しやすいためである。そこで、過剰なV_O及びwb-Oを抑制したプロセスマージンを大きくできるIn系酸化物材料が要求されている。そして、あらゆる元素の中から希少な元素や放射性元素など実用化に向かない元素を取り除いていった結果、Ti, W及びSiの3種類の元素が選出された(Fig. 1-4) [1]。これらの元素は新しいチャネル材料としてIn-Oに微量に添加されて、In-Ti-O, In-W-O及びIn-Si-Oとして既に報告がされている[24-27]。Ti-Oは666 kJ/mol, W-Oは720 kJ/mol及びSi-Oは799 kJ/molと高い酸素かい離エネルギーを有している[23]。Fig. 1-5にスパッタ成膜時のO₂分圧に対する電気伝導率の関係を示す[25, 28]。酸素かい離エネルギーが大きくなるに従って、傾きが緩やかになることが明らかである。傾きが緩やかになるということは、電気伝導率がO₂分圧の変化に対して鈍感であり、プロセスマージンが大きく取れることを意味している。

更に酸素かい離エネルギーが最も高いC-Oに着目して、我々は新しいチャネル材料として、In-Si-OにCを添加したIn-Si-O-C系を選択した。

LOW (kJ/mol)	Cd	236	→	Rh	405	→	Tc	548	→	W	720	
	Br	238		Fe	407		Am	553		Nb	726	
	Pd	238		Ir	414		Ba	562		Pr	740	
	Zn	250		Pt	418		Sm	573		U	755	
	Hg	269		Sr	426		Os	575		Zr	766	
	Na	270		D	429		P	589		Ce	790	
	Rb	276		H	429		Er	606		Pa	792	
	Cu	287		Se	429		Dy	615		La	798	
	Cs	293		Sd	434		Re	627		Si	799	
	Bi	337		Be	437		Ni	631		Hf	801	
	Li	340		Cr	461		V	637		B	809	
	In	346		Eu	473		Pu	656		Ta	839	
	Mn	362		As	484		Ge	658		Th	877	
	Ni	366		O	498		Ti	666		C	1076	HIGH

Fig. 1-4 元素の酸素結合かい離エネルギー

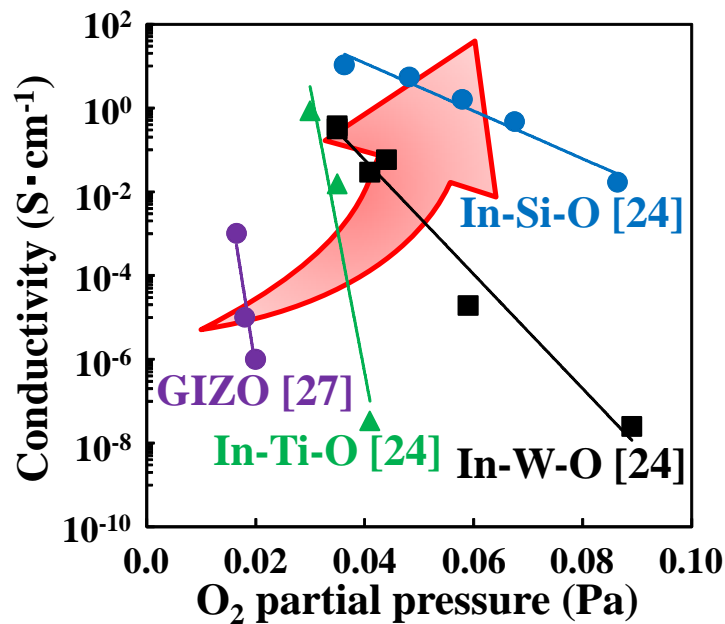


Fig. 1-5 In 系金属氧化物半導体の O₂ 分圧に対する電気伝導率の関係

1.8 酸化物半導体 TFT の信頼性評価

バイアスストレス測定によるトランジスタの特性の劣化は、1990 年代初めに PMOS FET で初めて観測された現象であるが、こうした特性の背後にある正確な物理的メカニズムについては、今日もなお議論を呼んでいる。Fig. 1-6 にバイアスストレスによる特性劣化の概要を示す。Fig. 1-6 (a)に示されるように一定期間、ゲートバイアスをかけると、トランジスタの特性は変化する。Fig. 1-6 (b)のように、ストレス印加前と比較して、閾値電圧(V_{th})は変動する[29]。TFT においても、長時間 DC バイアス電圧を印加することで特性が変化することが知られている。TFT は長時間動作させても特性が変化しないことが望まれる。変化する原因としてはゲート絶縁膜に誘起されたキャリアがトラップされることが考えられている。GIZO TFT もゲート電極に DC 電圧を印加することで、特性が変化することが知られている[30]。Ga-In-Zn-O TFT では V_0 に起因したチャージのために、ゲートバイアスストレス特性において V_{th} が大きく変動する問題がある[31, 32]。その他にも、酸化物半導体チャネル/ゲート絶縁膜界面の界面準位に加えて、絶縁膜中及び界面に存在する電子・ホールトラップも寄与するという報告もある[33, 34]。信頼性評価により、これらの原因を理解することは、将来的な酸化物半導体 TFT の性能向上を目指す上で重要な手段である。

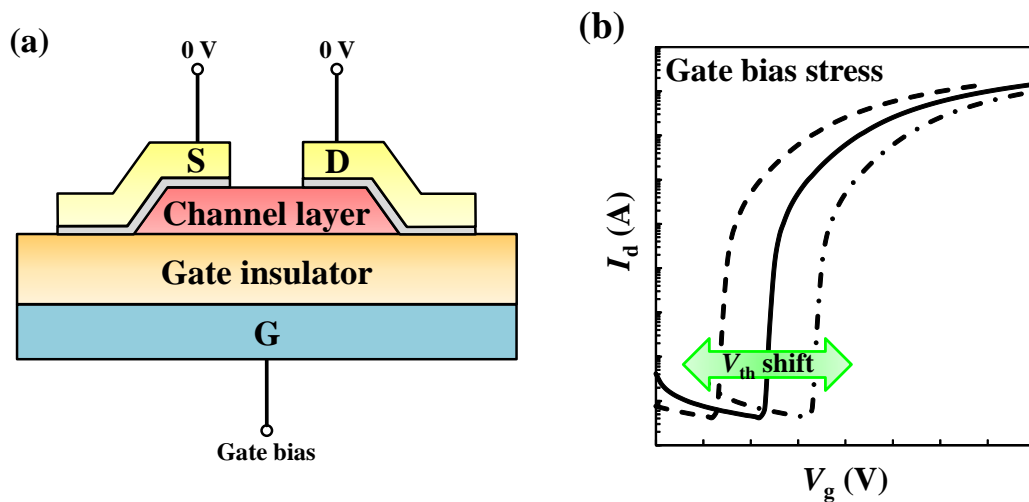


Fig. 1-6 トランジスタのバイアスストレス測定 (a) バイアスストレス条件及び (b) バイアスストレス測定における V_{th} の変動

1.9 本研究の目的

1.9.1 In-Si-O 膜への C ドープ

これまでに C-O の酸素かい離エネルギーの高さに注目して、酸素かい離エネルギーの小さな元素で構成されたチャネル材料に、 V_O 生成を抑制するために C をドープした新チャネル材料が報告されている[35-37]。しかし、ドープ後の C の結合を意識してチャネル材料を作製して、物性及び電気特性への影響について系統的に調べられた報告例は非常に少ない。

そこで本研究では、C-O が 1076 kJ/mol[23]と高い酸素かい離エネルギーを有することに注目して、In-Si-O に C をドープした $In_{1-x}Si_xO_{1-y}C_y$ をチャネルとする酸化物 TFT を作製する。TFT のチャネル材料としての $In_{1-x}Si_xO_{1-y}C_y$ の作製には、 In_2O_3 及び SiC ターゲットを使用した 2 元同時スパッタリング法を用いた。もし、In-Si-O と C ターゲットを用いて 2 元同時スパッタリング法を行うと、膜中に C クラスタを生成しやすく、C が他の元素と結合しにくい可能性がある(Fig. 1-7 (a))。そこで我々は、C と他の元素の結合を考えて、 In_2O_3 及び SiC ターゲットを使用して C をドープする(Fig. 1-7 (b))。どちらのターゲットにおいても DC スパッタリング法で成膜する。

以上の方法により、 $In_{1-x}Si_xO_{1-y}C_y$ チャネルを作製して、物性評価及びホール測定を用いてチャネル材料としてのポテンシャルを評価する。その後、 $In_{1-x}Si_xO_{1-y}C_y$ TFT を作製して、 $In_{1-x}Si_xO$ TFT と比較を行う。ボトムゲート型 In-Si-O-C TFT を作製して、NBIS、NBS 及び PBS 測定によるホール・電子トラップ、 $Al_2O_3/In_{1-x}Si_xO_{1-y}C_y$ 界面のディープトラップ及び吸着ガスによるホール生成について詳細に議論する。以上の物性評価及び電気特性により、 $In_{1-x}Si_xO_{1-y}C_y$ 膜中での C の効果について詳細に議論する。

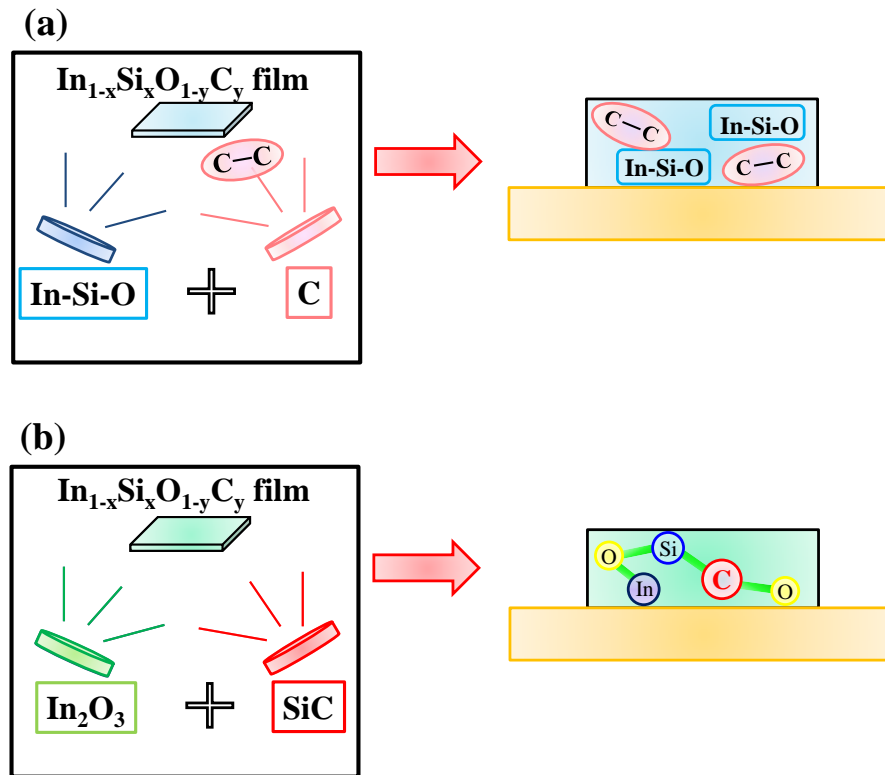


Fig. 1-7 (a) In-Si-O 及び C ターゲットを用いた 2 元同時スパッタリング法と
(b) In₂O₃ 及び SiC ターゲットを用いた 2 元同時スパッタリング法

1.9.2 Al₂O₃ パッシベーション膜の In_{1-x}Si_xO_{1-y}C_y TFT への応用

In 系金属酸化物をチャネル材料に用いた TFT の信頼性評価の一手法として、ゲートバイアスストレス測定が用いられている。これまで、大気中の O₂ 及び H₂O 分子の In 系チャネル表面への吸着で生じるデバイス特性の低下を抑制する一つの方法として、Al₂O₃ パッシベーション膜が提案されている[38, 39]。そこで、本研究では、50 °C の低温度の原子層堆積(ALD)法で作製した Al₂O₃ パッシベーション膜を用いたボトムゲート型 Al₂O₃/In-Si-O-C TFT を用いて、NBIS, NBS 及び PBS 測定によるホール・電子トラップ、Al₂O₃/In_{1-x}Si_xO_{1-y}C_y 界面のディープトラップ及び吸着ガスによるホール生成について Al₂O₃ パッシベーション膜の効果を詳細に議論する。

1.10 本論文の構成

本論文は、前述した研究目的を実施するために行った内容から以下のように構成される。

第 2 章では、In_{1-x}Si_xO_{1-y}C_y 膜の成膜及び In_{1-x}Si_xO_{1-y}C_y TFT 作製に必要な実験装置について述べる。また、物理特性及び電気特性の評価に必要な分析装置及び評価手法についても説明する。物理特性については X 線光電子分光法(X-ray Photoelectron Spectroscopy : XPS), X 線回折(X-ray Diffraction : XRD), 透過型電子顕微鏡(Transmission Electron

Microscope : TEM), 原子間力顕微鏡(Atomic Force Microscope : AFM)及びX線吸収端微細構造法(X-ray Absorption Fine Structure : XAFS)を用いて評価する。電気特性についてはホール測定、 I - V 測定及びバイアスストレス測定を用いて評価する。

第3章は、 In_2O_3 とSiCターゲットを用いた2元同時スパッタリング法でCドープ In-Si-O ($\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$)膜を作製して、成膜速度及びSi, C濃度を評価した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のSi濃度に対する物理特性について、XPSの結果から化学結合状態及び酸素欠損の変化を、XRDの結果から熱安定性を、AFMを用いて表面モフォロジーを評価する。更に、XAFSを用いて局所構造解析を行う。

第4章では、スパッタリング法で作製した $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル材料をホール測定によりホール移動度、キャリア濃度及び電気伝導率について議論する。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中のSi, C濃度の変化に従って、ホール移動度(μ_{Hall})及びキャリア濃度を評価した。また、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のキャリア濃度の変化による、 μ_{Hall} の傾向を観察した。これらの結果により、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中のSi, Cの役割を考察する。

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の P_{O_2} に対する電気伝導率の変化を他のIn系金属酸化物半導体と比較を行い、酸素かき離エネルギーの大きなCを添加したことによる特性の変化を議論する。

第5章では、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ TFTの電気特性の比較を行う。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ TFTの I_d - V_g 特性より得られた初期特性から、Si濃度の変化に対する電子移動度(μ_{FE})及び閾値電圧(V_{th})を評価する。この結果から、チャンネル膜中のCが電気特性に及ぼす影響を考察する。

第6章では、原子層堆積(ALD)法で作製したイオン性の異なる Al_2O_3 , $\text{Hf}_x\text{Zr}_{1-x}\text{O}$ (HZO)及び $(\text{Ta}/\text{Nb})\text{O}_x$ (TNO)膜をゲート絶縁膜に用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTを 300°C 以下のプロセス温度で作製する。そして、HK/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル界面がトランジスタ特性に及ぼす影響について議論する。また、バックゲート型及びボトムゲート型のTFT形状の違いによるゲート電極/ゲート絶縁膜界面の浮遊容量が電気特性に与える影響についても議論する。

第7章では、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTに対して、負バイアスストレス(Negative gate bias stress : NBS), 負バイアス光ストレス(Negative gate bias stress : NBIS)及び正バイアスストレス(Positive gate bias stress : PBS)特性を測定して、 V_{th} シフトの要因をエネルギーバンド図から各成分に分けて詳細に議論する。

第8章では、ALD法を用いて 50°C の低温で作製した Al_2O_3 パッシベーション膜を用いたボトムゲート型 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTを作製し、NBIS及びNBS測定によるホール・電子トラップ、 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のディープトラップ及び吸着ガスによるホール生成について詳細に議論する。

第9章は、本研究で得られた成果を総括して、今後の課題を述べるとともに本論文の結論とする。

参考文献

- [1] NIMS NOW, **15**, 12-14 (2015).
- [2] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Science* **300**, 1269 (2003).
- [3] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature* **432**, 488 (2004).
- [4] K. Ebata, S. Tomai, Y. Tsuruma, T. Iitsuka, S. Matsuzaki, and K. Yano, *Appl. Phys. Express* **5**, 011102 (2012).
- [5] G. Goncalves, P. Barquinha, L. Pereira, N. Franco, E. Alves, R. Martins, and E. Fortunato, *Electrochem. Solid-State Lett.* **13**, H20 (2010).
- [6] T. Miyasako, M. Senoo, and E. Tokumitsu, *Appl. Phys. Lett.* **86**, 162902 (2005).
- [7] S. Y. Park, K. H. Ji, H. Y. Jung, J.-I. Kim, R. Choi, K. S. Son, M. K. Ryu, S. Lee, and J. K. Jeong, *Appl. Phys. Lett.* **100**, 162108 (2012).
- [8] N. L. Dehuff, E. S. Kettenring, D. Hong, H. Q. Chiang, J. F. Wager, R. L. Hoffman, C. H. Park, and D. A. Keszler, *J. Appl. Phys.* **97**, 064505 (2005).
- [9] P. Barquinha, A. Pimentel, A. Marques, L. Pereira, R. Martins, and E. Fortunato, *J. Non-Cryst. Solids* **352**, 1749 (2006).
- [10] T. Jackson, “*Thin Film Transistors for Displays and More*”, 2015 IEEE IEDM Tutorials, Washington Hilton, Decemder, 2015, Washington, USA.
- [11] Dhananjay and C.-W. Chu, *Appl. Phys. Lett.* **91**, 132111 (2007).
- [12] J. H. Noh, S. Y. Ryu, S. J. Jo, C. S. Kim, S. W. Sohn, P. D. Rack, D. J. Kim, and H. K. Baik, *IEEE Electron Device Lett.* **31**, 567 (2010).
- [13] H.-W. Park, B.-K. Kim, J.-S. Park, and K.-B. Chung, *Appl. Phys. Lett.* **102**, 102102 (2013).
- [14] S. Oh, B. S. Yang, Y. J. Kim, M. S. Oh, M. Jang, H. Yang, J. K. Jeong, C. S. Hwang, and H. J. Kim, *Appl. Phys. Lett.* **101**, 092107 (2012).
- [15] C.-J. Kim, S. Kim, J.-H. Lee, J.-S. Park, S. Kim, J. Park, E. Lee, J. Lee, Y. Park, J. H. Kim, S. T. Shin, and U. I. Chung, *Appl. Phys. Lett.* **95**, 252103 (2009).
- [16] E. Chong, K. C. Jo, and S. Y. Lee, *Appl. Phys. Lett.* **96**, 152102 (2010).
- [17] E. Chong, Y. S. Chun, and S. Y. Lee, *Appl. Phys. Lett.* **97**, 102102 (2010).
- [18] E. Chong, S. H. Kim, and S. Y. Lee, *Appl. Phys. Lett.* **97**, 252112 (2010).
- [19] J.-S. Park, K. Kim, Y.-G. Park, Y.-G. Mo, H. D. Kim, and J. K. Jeong, *Adv. Mater.* **21**, 329 (2009).
- [20] T. H. Jeong, S. J. Kim, D. H. Yoon, W. H. Jeong, D. L. Kim, H. S. Lim, and H. J. Kim, *Jpn. J. Appl. Phys.* **50**, 070202 (2011).
- [21] H. Kumomi, S. Yaginuma, H. Omura, A. Goyal, A. Sato, M. Watanabe, M. Shimada, N. Kaji, K. Takahashi, M. Ofuji, T. Watanabe, N. Itagaki, H. Shimizu, K. Abe, Y. Tateishi, H. Yabuta, T. Iwasaki, R. Hayashi, T. Aiba, and M. Sano, *J. Disp. Technol.* **5**, 531 (2009).
- [22] T. Maruyama and T. Tago, *Appl. Phys. Lett.* **64**, 1395 (1994).

- [23] Y. R. Luo, "Bond dissociation energies," in CRC Handbook of Chemistry and Physics, 90th ed., edited by D. R. Lide (CRC Press/Taylor and Francis, Boca Raton, 2009).
- [24] S. Aikawa, P. Darmawan, K. Yanagisawa, T. Nabatame, Y. Abe, and K. Tsukagoshi, *Appl. Phys. Lett.* **102**, 102101 (2013).
- [25] S. Aikawa, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **103**, 172105 (2013).
- [26] T. Kizu, S. Aikawa, N. Mitoma, M. Shimizu, X. Gao, M.-F. Lin, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **104**, 152103 (2014).
- [27] N. Mitoma, S. Aikawa, X. Gao, T. Kizu, M. Shimizu, M.-F. Lin, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **104**, 102103 (2014).
- [28] H. Yabuta M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Kamiya, K. Nomura, T. Kamiya, and H. Hosono, *Appl. Phys. Lett.* **89**, 112123 (2006).
- [29] Keysight Technologies, B1500A 半導体デバイス・アナライザ[®]-Application Note 3頁 (2015).
- [30] T. Chen, T. Chang, T. Hsieh, W. Lu, and F. Jian, *Appl. Phys. Lett.* **99**, 022104 (2011).
- [31] A. Suresh, and J. F. Muth, *Appl. Phys. Lett.* **92**, 033502 (2008).
- [32] J.-M. Lee, I.-T. Cho, J.-H. Lee, and H.-I. Kwon, *Appl. Phys. Lett.* **93**, 093504 (2008).
- [33] I. Hirano, T. Yamaguchi, Y. Mitani, R. Iijima, K. Sekine, M. Takayanagi, K. Eguchi, and N. Fukushima: *Ext. Abstr. Solid State Device and Materials*, 2005, p.20
- [34] S. A. Krishnan, M. Quevedo, R. Harris, P. D. Kirsh, R. Choi, B, H, Lee, G. Bersuker, J. Peterson, H-J, Li, C. Young, and J. C. Lee: *Ext. Abstr. Solid State Device and Materials*, 2005, p.22
- [35] S. Parthiban, K. Park, S.-H. Kim, S. Yang, and J.-Y. Kwon, *J. Electron. Mater.* **43**, 4224 (2014).
- [36] S. Parthiban and J.-Y. Kwon, *RSC Adv.* **4**, 21958 (2014).
- [37] S. Parthiban, S.-H. Kim, and J.-Y. Kwon, *IEEE Electron Device Lett.* **35**, 1028 (2014).
- [38] Y. Ueoka, Y. Ishikawa, J. P. Bermundo, H. Yamazaki, S. Urakawa, M. Fujii, M. Horita, , and Y. Uraoka, *ECS J. Solid State Sci. Technol.* **3** (9) Q3001-Q3004 (2014).
- [39] S-Y Huang, T-C. Chang, M-C. Chen, T-C. Chen, F-Y. Jian, Y-C. Chen, H-C. Huang, and D-S. Gan, *Surf. Coat. Technol.* **231**, 117-121 (2013).

第 2 章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ の作製手法及び評価手法

2.1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製

2.1.1 Si 基板洗浄

TFT 用の Si 基板は 4 inch ウェハから、Fig. 2-1 に示されるダイシング装置(ディスコ社製、DAD3220)を用いて $15 \times 15 \text{ mm}^2$ の大きさに切り分けた。ホール測定用の Si 基板は 12 inch ウェハから、手割りで 4 等分してからダイシング装置を用いて $10 \times 10 \text{ mm}^2$ の大きさに切り分けた。切り分ける工程で Si の削りかすが Si 基板表面にダメージを与える恐れがあるため、レジストを塗布してからダイシング装置にかけた。切り分けられた Si 基板は、レジストを剥がすこと及び表面の清浄化のためにアセトンで 10 分間の超音波洗浄を行った。続いて、イソプロパノール(IPA)で 10 分間の超音波洗浄を行った後、 N_2 ガスブローによって試料表面を乾燥させる工程を行った。更に、プラズマアッシング装置(モリエンジニアリング社製、PB-600)を用いて、5 分間の Si 基板洗浄を行った。

プラズマアッシング装置は、基板に残ったレジスト膜を除去するために、主に O_2 プラズマなどの反応ガスのプラズマを発生させて、気相中で有機物であるレジストを CO_x 及び H_2O などに分解除去する装置である。本研究に用いたプラズマアッシング装置は横型バレルプラズマアッシャー[1]で、外観写真を Fig. 2-2 に示し、概略図を Fig. 2-3 に示す。



Fig. 2-1 ダイシング装置の外観写真



Fig. 2-2 プラズマアッシング装置の外観写真

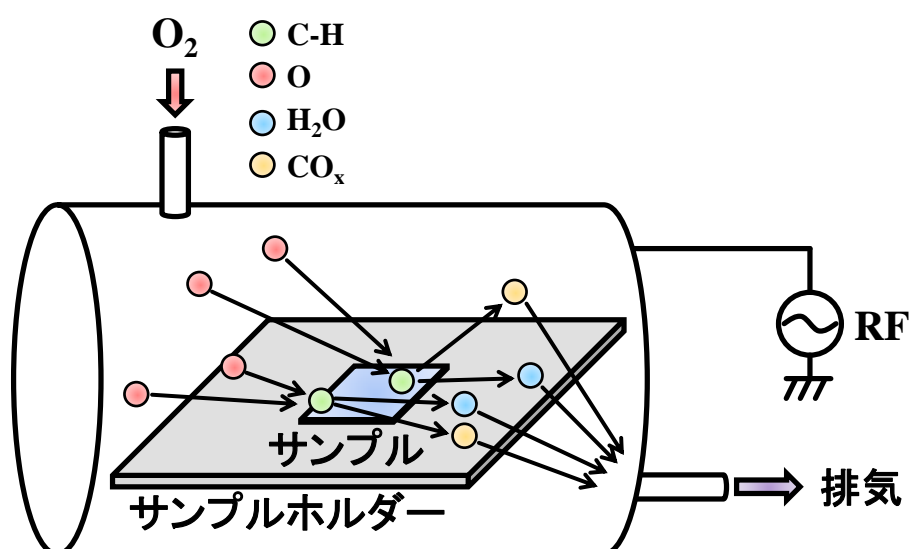


Fig. 2-3 プラズマアッシング装置の概略図

2.1.2 DC マグネトロンスパッタリング法

Table 2-1 に DC 及び RF マグネトロンスパッタリングの利点と欠点をまとめた[2]。DC スパッタリングは RF スパッタリングより、成膜レートが高く、基板へのダメージが少ないことが利点として挙げられる。実用化に向けた生産性及び成膜コストを考慮して、本研究においてチャンネル材料として用いた In 系金属酸化物は、DC (Direct Current) マグネトロンスパッタリング法 (芝浦メカトロニクス社製、CFS-4EP-LL) を用いて成膜した。Fig. 2-4 にマグネトロンスパッタリングの外観写真を示し、Fig. 2-5 に DC マグネトロンスパッタリング法の概略図を示す。

スパッタリングとは、加速させた粒子が固体表面に衝突したとき、固体を構成する原子または分子が空間に放出される現象である。

マグネトロンスパッタリング法とは陰極からなるターゲットから放出される γ 電子を磁場(マグネット)によりドリフトさせ、ターゲット近傍の希ガスの電離を促進し高密度プラズマを生成させてスパッタリングを行う方法である[3]。

DC マグネトロンスパッタリングの主な特徴を以下に示す。

- 1) スパッタリング電力効率が大きい。
- 2) ターゲット印加電圧が小さく、プラズマが陰極近傍空間に磁界によって閉じ込められているために、基板への高エネルギー荷電粒子の入射が抑制され、荷電粒子衝突による損傷が少ない。
- 3) 2次電子の基板への入射が抑えられ、基板温度の上昇が避けられるなどの特徴を有しており、低温で高速のスパッタリングが可能である。
- 4) RF マグネトロンスパッタリングと比較して膜密度が高く、デバイス性能の向上に繋がる。

Table 2-1 DC 及び RF マグネトロンスパッタリングの利点と欠点

マグネトロンスパッタリング	利点	欠点
DC	<ul style="list-style-type: none"> ・ 同一パワーでRFより 成膜レートが高い ・ RFに比べて基板への ダメージが少ない 	<ul style="list-style-type: none"> ・ 絶縁膜の成膜は不可能
RF	<ul style="list-style-type: none"> ・ 絶縁膜の成膜が可能 ・ 対向電極が無くても放電は発生 	<ul style="list-style-type: none"> ・ 同一パワーでDCより 成膜レートが約半分 ・ DCに比べて基板への ダメージが大きい ・ マッチングボックスが必要で、 比較的機構が複雑



Fig. 2-4 マグネトロンスパッタリング装置の外観写真

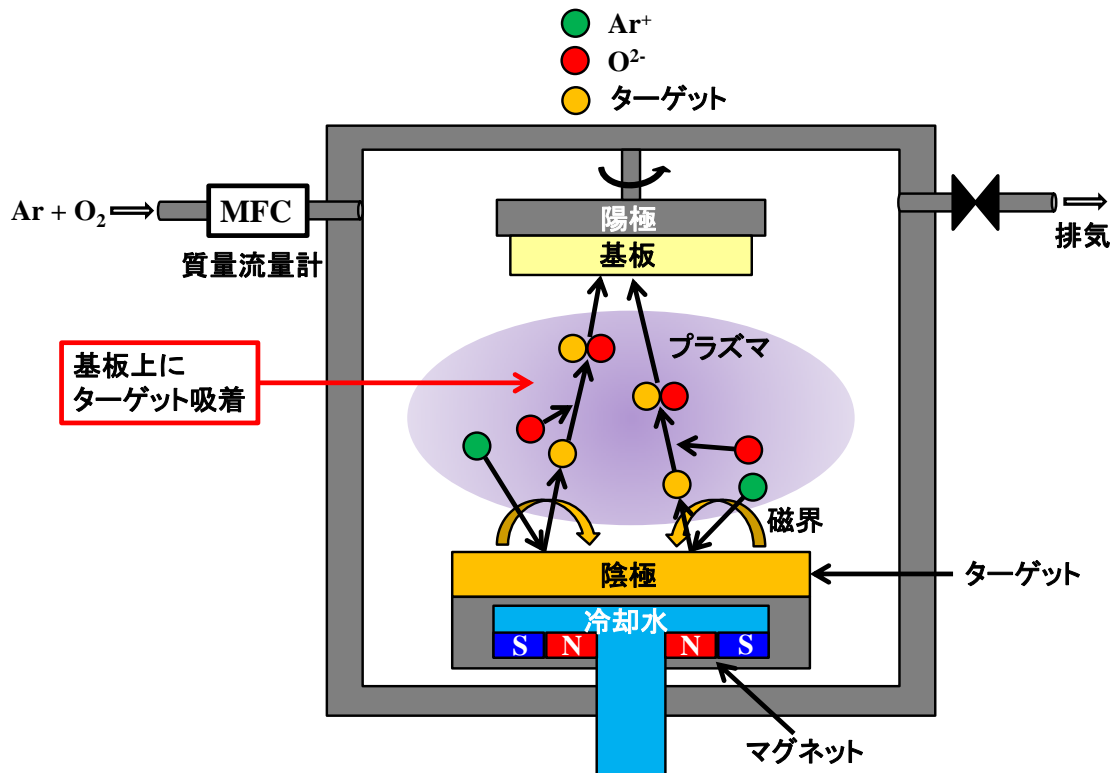


Fig. 2-5 マグネトロンスパッタリング装置の概略図

2.1.3.2 元同時マグネトロンスパッタリング法

本研究では、TFT のチャネル材料としての $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ の作製には、 In_2O_3 及び SiC ターゲットを使用した 2 元同時スパッタリング法を用いた。Fig. 2-6 に 2 元同時マグネトロンスパッタリング法の概略図を示す。それぞれのターゲットは独立にスパッタリングパワーをコントロールすることができ、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 濃度を変化させることが可能である。また、ターゲットを変更することで、新チャネル材料の作製が容易である利点も有する。

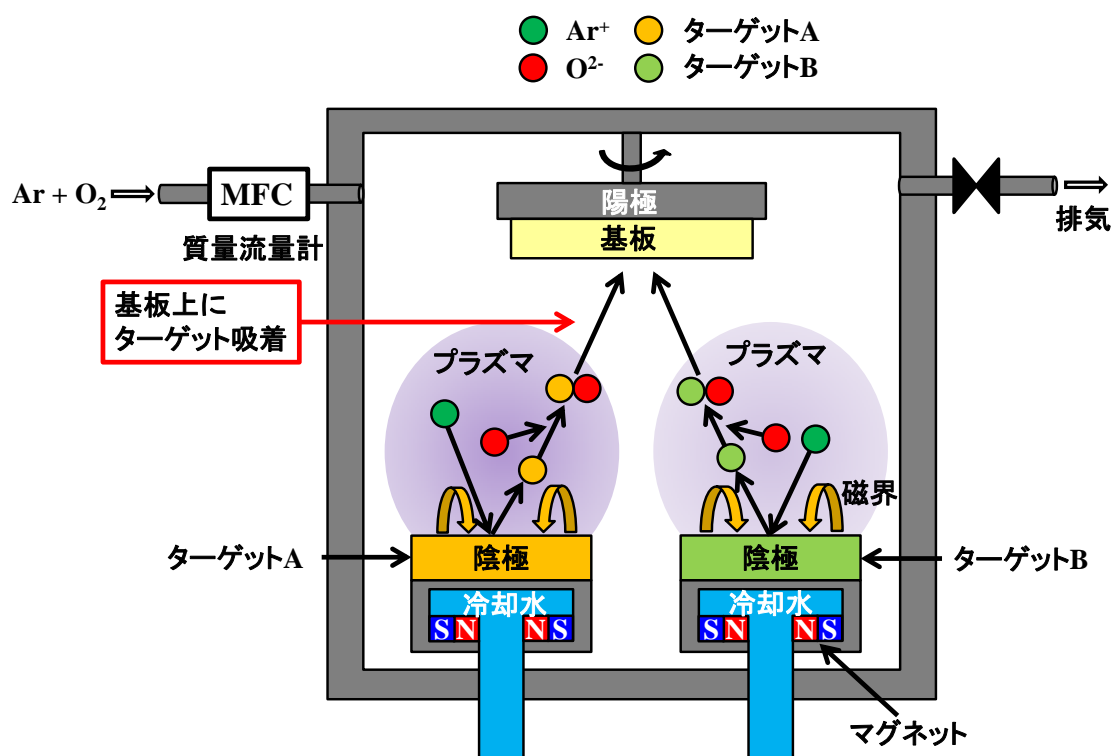


Fig. 2-6 2 元同時マグネトロンスパッタリング法の概略図

2.1.4 抵抗加熱蒸着法

ソース・ドレイン電極の成膜は抵抗加熱蒸着装置(VTS-350M/ERH、ULVAC 機工社製)を用いた。Fig. 2-7 に抵抗加熱蒸着装置の外観写真と Fig. 2-8 に抵抗加熱蒸着装置の概略図を示す。本研究で用いた抵抗加熱蒸着装置はベルジャ型である。抵抗加熱蒸着装置は抵抗体の Mo または W ボードの上にターゲットを置き、電気抵抗による発熱で溶けて蒸発したターゲットを、上部のサンプルホルダーに設置されたサンプルに成膜するものである。



Fig. 2-7 抵抗加熱蒸着装置の外観写真

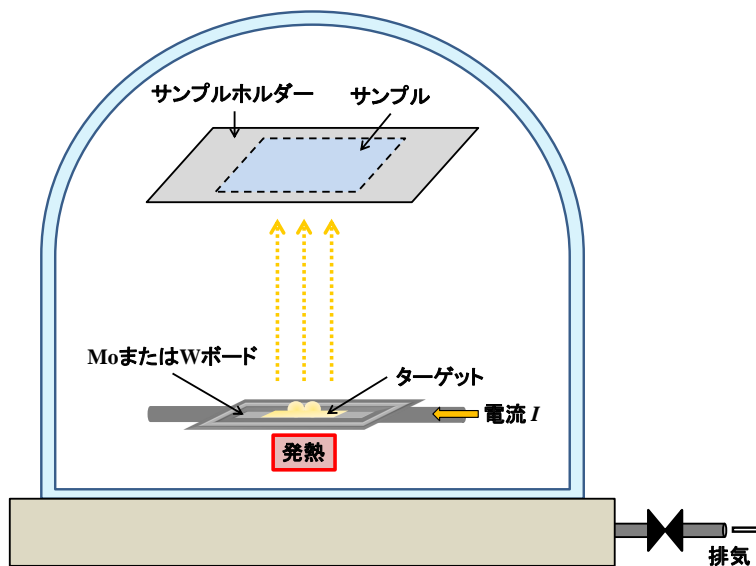


Fig. 2-8 抵抗加熱蒸着装置の概略図

2.1.5 原子層堆積(Atomic Layer Deposition : ALD)法

Al_2O_3 の成膜は原子層堆積(Atomic Layer Deposition : ALD)法を用いた。ALD 法の特徴は 1 monolayer(ML)レベルで成膜が可能なところであり、面内分布の膜厚の均一性に優れている[4]。本研究では、 H_2O を酸化剤ガスとして用いた ALD 法により成膜温度 $300\text{ }^\circ\text{C}$ で Al_2O_3 を成膜した。

Fig. 2-9 に ALD 装置 (Picosun 社製) の外観写真、Fig. 2-10 に ALD 装置の概略図を示す。また、Fig. 2-11 に ALD 法の成膜フロー、Fig. 2-12 に ALD 法の成膜メカニズムを示す。



Fig. 2-9 ALD 装置の外観写真

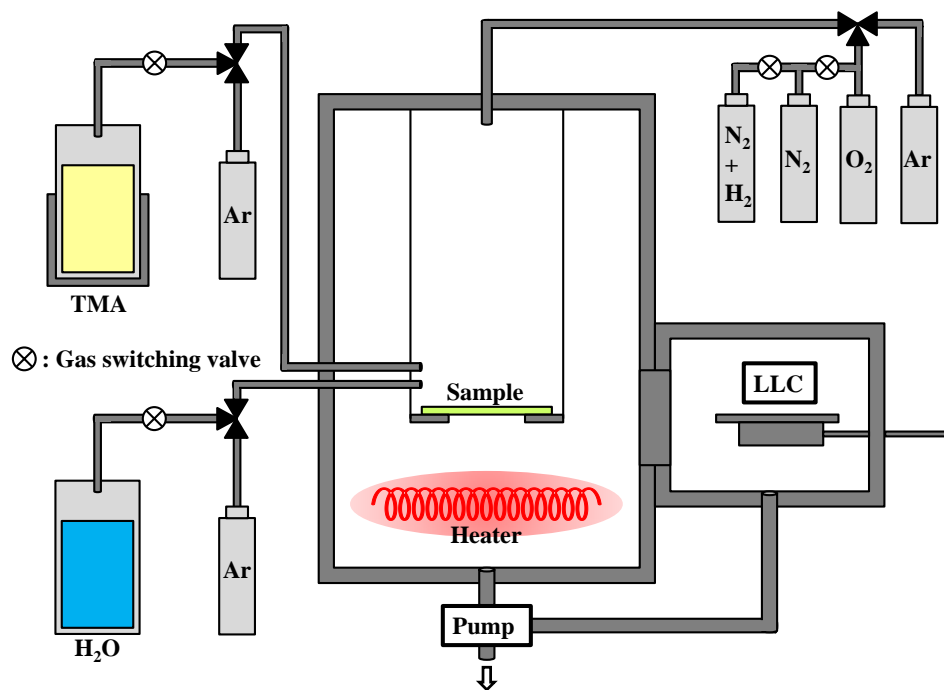


Fig. 2-10 ALD 装置の概略図

ALD法の成膜メカニズムは、

- 1) 有機原料ガスの供給に伴う原料の飽和表面吸着及び基板表面の-OH基と原料の配位子とのイオン交換反応。
- 2) 不活性ガスの供給による成膜チャンバーからの残留原料ガスの除去。
- 3) 酸化剤ガスの供給による配位子の酸化反応と-OH基の生成。
- 4) 不活性ガスの供給による成膜チャンバーからの残留酸化剤ガスの除去。

以上の工程を1サイクルとして形成している。1サイクルにおける成膜速度は飽和吸着反応が律速となる。そのため、サイクルごとに一定の分子数ずつ膜が成長するため、サイクル数によって膜厚を精密に制御できる。

本研究において Al_2O_3 膜は成膜温度 300°C で成膜した。有機原料ガスであるTMAはガス流量 200 sccm でパルス時間 0.1 s 、パージ時間 6.0 s とした。酸化剤ガスの H_2O はガス流量 150 sccm でパルス時間 2.0 s 、パージ時間 10.0 s とした。不活性ガスのArはガス流量 60 sccm とした。

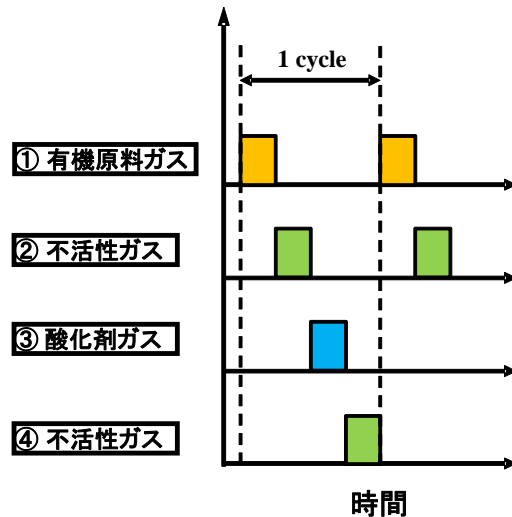


Fig. 2-11 ALD法の成膜フロー

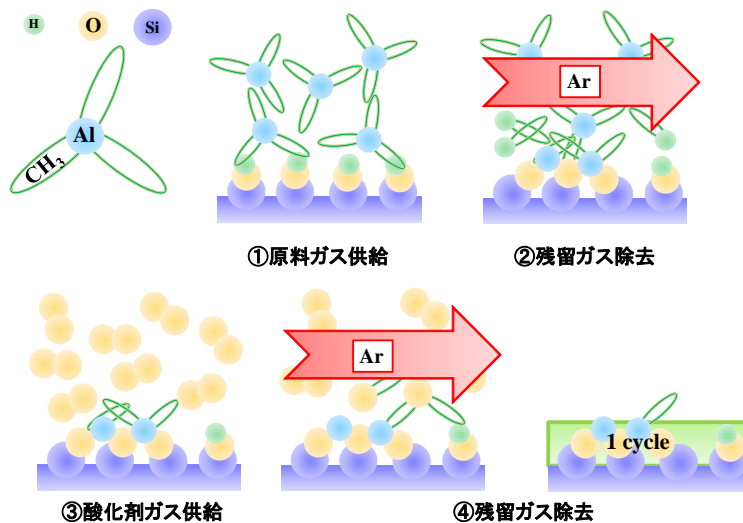


Fig. 2-12 ALD法の成膜メカニズム

2.1.6 フォトリソグラフィ法

ボトムゲート型 TFT はフォトリソグラフィ法を用いてゲート電極及びゲート絶縁膜をパターンニングした。本研究に用いたスピncerター(ミカサ社製、MS-A100)及びマスクアライナー(SUS MicroTec 社製、MA/BA6)の外観写真をそれぞれ Fig. 2-13 及び Fig. 2-14 に示す。スピncerターは回転式のレジスト等の塗布装置である。基板を真空吸着にて固定して、スポイトを用いてレジスト溶液を滴下後、回転塗布する。回転ヘッドが交換可能で、試料寸法は 5~100 mmφ まで対応可能である。回転数は 300~8000 rpm でプログラムにより任意に制御可能である。マスクアライナーのマスク寸法は 4 inch 角、基板寸法は 3 inchφ 以下に対応可能である。露光精最小線幅は 0.7 μm 以下、アライメント分解能は ±0.5 μm 以下である。また、±1.0 μm 以下の分解能で表面のアライメントも可能である。その他、20 mm 角のパターンを 3×3 個作製した 6 inch 角マスクにおいて、全てのパターンを中心位置で露光できるよう改造されている。本研究で用いたゲート電極形成用のマスク及びゲート絶縁膜除去用のマスクをそれぞれ Fig. 2-15 及び Fig. 2-16 に示す。

ボトムゲート型 TFT のゲート電極はフォトリソグラフィ法のリストオフプロセスを用いて形成した。ゲート電極形成にはウェットエッチングを用いた。リフトオフプロセスによるゲート電極作製プロセスは以下の通りである。

- 1) 120 °C で 1 分以上試料を加熱して表面に吸着した H₂O を除去する。
- 2) 1 層目のレジスト OFPR800L をスピncerターで 3000 rpm で 1 分間、1 μm 塗布して、90 °C で 3 分間ベークする。
- 3) 2 層目のレジスト AZ5214-E をスピncerターで 3000 rpm で 1 分間、2 μm 塗布して、90 °C で 3 分間ベークする。
- 4) マスクアライナーにて 5 秒間露光して、120 °C で 30 秒間ベークする。
- 5) 7 秒間全面露光を行う。
- 6) 現像液 NMD-3 に 1 分間浸漬して、現像を行う。
- 7) スパッタリング法により電極となる金属膜を成膜する。
- 8) 剥離液リムーバー-PG にサンプルを浸漬して、レジストを剥離する。

また、ボトムゲート型 TFT においてゲート絶縁膜を成膜後、ゲート電極部分のゲート絶縁膜を除去するためにドライエッチングを用いた。ゲート絶縁膜を除去するためのプロセスは以下の通りである。

- 1) 120 °C で 1 分以上試料を加熱して表面に吸着した H₂O を除去する。
- 2) レジストと試料表面の密着性を高めるために界面活性剤である OAP をスピncerターで 3000 rpm で 15 sec 塗布する。
- 3) OAP とレジストの反応を防ぐためにスピncerター内のアルミホイルを交換する。
- 4) レジスト AZ5214-E をスピncerターで 3000 rpm で 1 分間、2 μm 塗布して、90 °C で 3 分間ベークする。

- 5) マスクアライナーにて 5 秒間露光して、120 °C で 30 秒間ベークする。
- 6) 7 秒間全面露光を行う。
- 7) 現像液 NMD-3 に 1 分間浸漬して、現像を行う。
- 8) ドライエッチング装置を用いてゲート絶縁膜を除去する。
- 9) 剥離液リムーバーPG にサンプルを浸漬して、レジストを剥離する。

Fig. 2-17 に示すゲート電極形成のウェットエッチングはポジ型フォトリソグラフィ法であり、Fig. 2-18 に示すゲート絶縁膜を除去のドライエッチングはネガ型フォトリソグラフィ法である。



Fig. 2-13 スピナーの外観写真

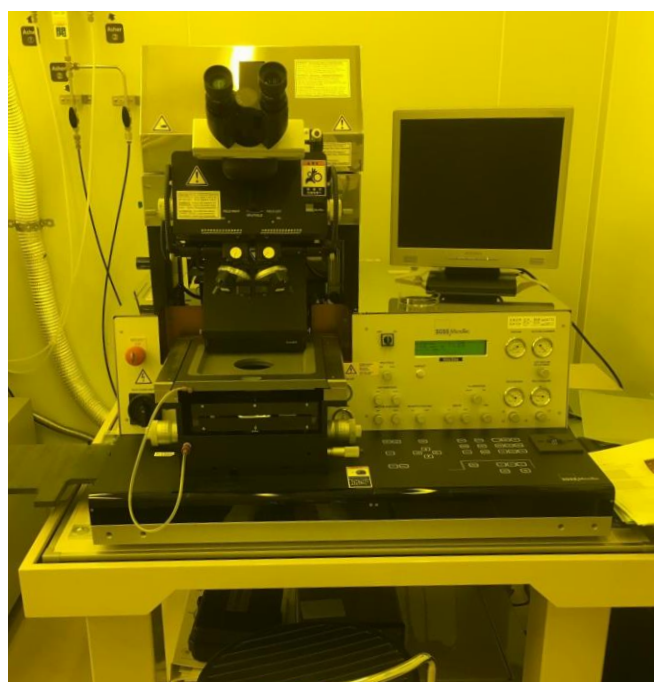


Fig. 2-14 マスクアライナーの外観写真

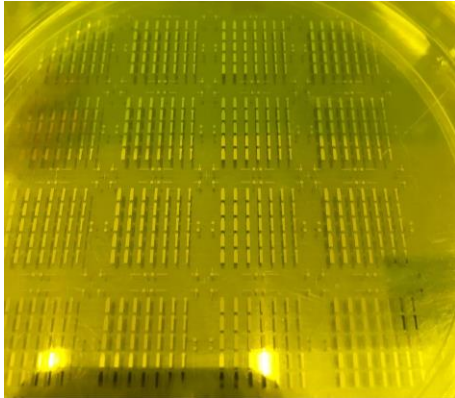


Fig. 2-15 ゲート電極形成用のマスク

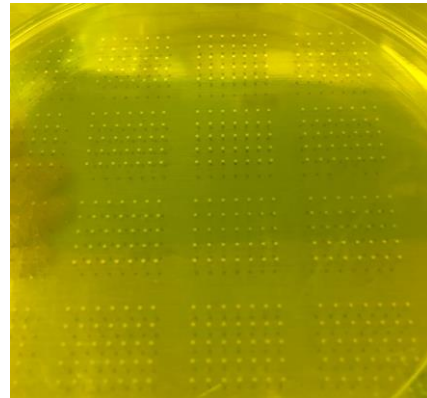


Fig. 2-16 ゲート絶縁膜除去用のマスク

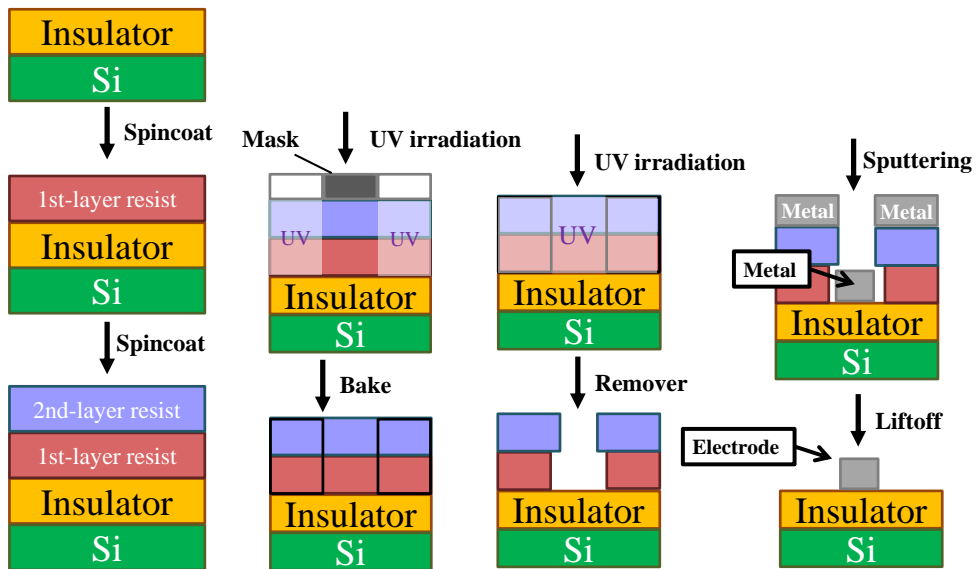


Fig. 2-17 ポジ型フォトリソグラフィ法

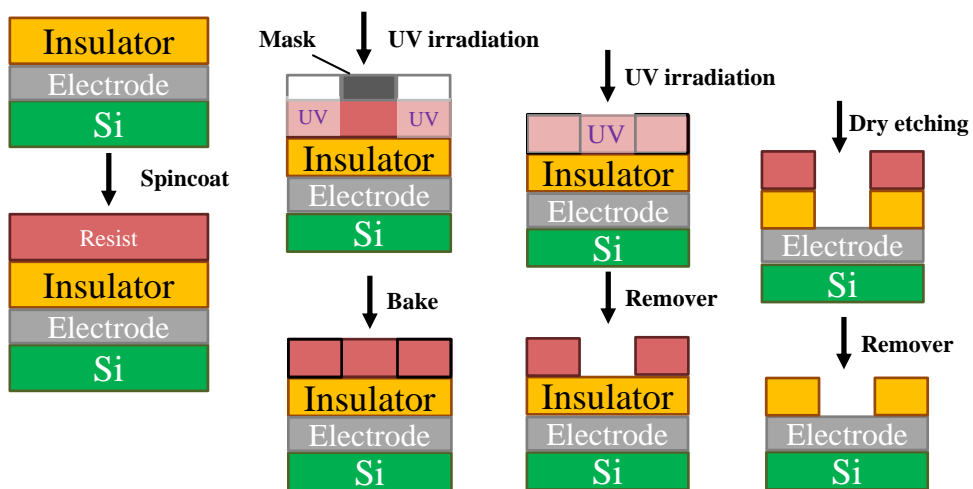


Fig. 2-18 ネガ型フォトリソグラフィ法

2.1.7 ドライエッチング

ボトムゲート型 TFT においてゲート電極部分のゲート絶縁膜を除去するためにドライエッチングを用いた。Fig. 2-19 に本研究に用いた有磁場誘電結合型プラズマ (Inductively Coupled Plasma: ICP) 方式のドライエッチング装置 (ULVAC 社製、CE-300I) の外観写真、Fig. 2-20 にドライエッチング装置の概略図を示す。ドライエッチングは薬液を使用せずにエッチングを行う。ウェットエッチングと比較して微細加工性、制御性に優れるほか、工程の簡略化、自動化も容易であり、環境への影響も少ない[5]。代表例には、イオンを衝突させてレジストにマスクされていない部分を削り取る反応性イオンエッチングがある。反応性イオンエッチングはプラズマ発生で生成したイオンを被エッチング材料に吸着させて表面化学反応させ、その生成物を排気除去してエッチングを進行させる[6, 7]。エッチングにおける表面反応は以下の通りである。

- 1) エッチング種の吸着
- 2) 被エッチング材料との反応
- 3) 反応種の脱離
- 4) 排気除去

本研究においてエッチングガスは CHF_3 , Cl_2 , BCl_3 を使用し、それぞれのガス流量は 2.3, 3.0 及び 3.0 sccm とした。エッチング中の圧力は 0.1 Pa とした。ICP RF 電源は 50 W とし、Bias RF 電源は 10 W とした。この条件でエッチングした Al_2O_3 膜のエッチングレートは 0.07 nm/s であった。



Fig. 2-19 ドライエッチング装置の外観写真

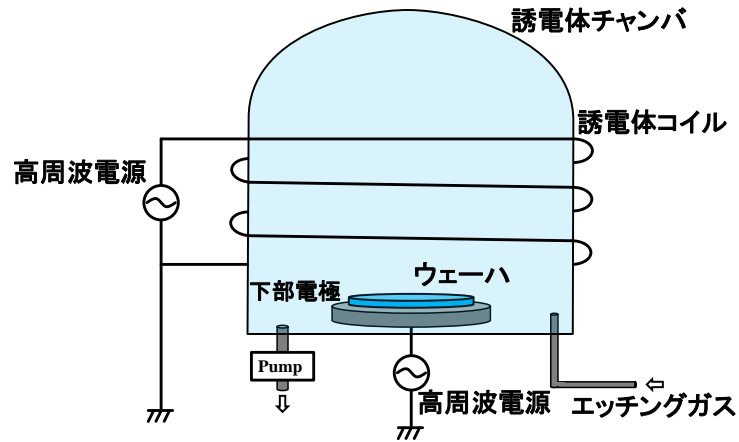


Fig. 2-20 有磁場 ICP 方式ドライエッチング装置の概略図

2.1.8 電気測定用試料

本研究では、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT を作製するにあたって、チャンネルとソース/ドレイン電極のパターンはステンシルマスクを用いて形成した。光学顕微鏡で観察したチャンネル用及びソース/ドレイン電極用のステンシルマスクの外観写真をそれぞれ Fig. 2-21 (a)及びFig. 2-21 (b) に示す。チャンネル用ステンシルマスクは縦方向が $1000\ \mu\text{m}$ で横方向が $850\ \mu\text{m}$ であり、ソース/ドレイン用のステンシルマスクは縦方向のチャンネル幅に相当する部分が $1200\ \mu\text{m}$ で横方向のチャンネル長に相当する部分が $350\ \mu\text{m}$ である。

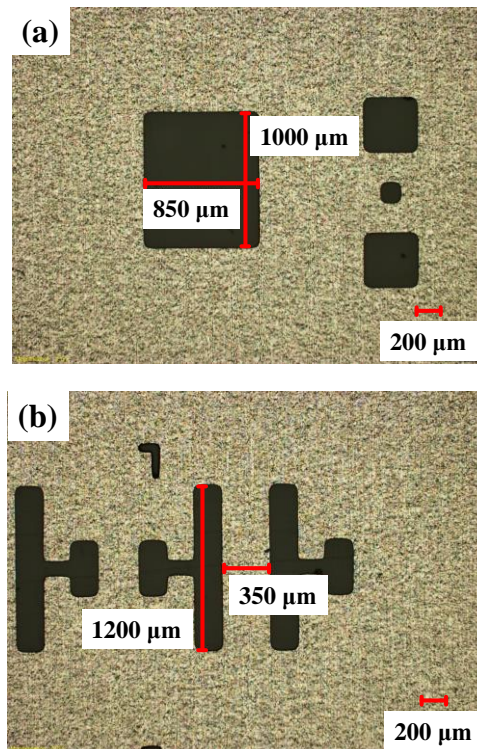


Fig. 2-21 (a) チャンネル用及び (b) ソース/ドレイン電極用のステンシルマスク

2.1.9 試料のアニール処理

雰囲気ガスを指定したアニール処理を施す際には、急速赤外線ランプ加熱(Rapid Thermal Annealing furnace : RTA)装置(RTP-6、ULVAC 理工社製)を用いた。この RTA 装置は 6 インチの試料台を有しており、急速加熱、精密な温度制御及び多様な雰囲気ガス選択が可能という特徴を有する装置である。Fig. 2-22 に RTA の外観写真、Fig. 2-23 に概略図を示す。アニール処理のプロセスは Fig. 2-24 に示す通りである。ガス置換を行った後、真空ポンプで反応管内を 0.2 Pa 以下にした後に、使用するガスで反応管を満たした。その後、使用ガスをフローしながら熱処理を施した。

チャンネル膜の熱処理にはホットプレート(NINOS ND-1、AS ONE 社製)を用いた。PID 制御で、0.1 °C 間隔での高精度な温度コントロールが可能という特徴を持つ。Fig. 2-25 にホットプレートの外観写真を示す。アニール処理に急速赤外線ランプ加熱装置(Rapid Thermal Annealing furnace : RTA)ではなくホットプレートを使う理由として、RTA では熱処理時間が終了しても自然冷却を待たなければならず、その間の冷却中の温度によっては炉心管内部での何らかの反応が起きる可能性がある。ホットプレートならば、自然冷却を待つことなくアニール処理が終了したら、すぐにサンプルを取り出せるので RTA のような何らかの反応を考慮する必要がなくなる。

さらに、本研究では O₃ アニール処理を用いた。O₃ アニールには O₃ 発生装置(samco 社製、UV-1)を用いた。この装置には UV ランプ、オゾンナイザー及び加熱ステージが備えられ、紫外線照射、O₃ 及び熱の相互作用により、基板に電氣的ダメージを与えることなく、効率よく洗浄・表面改質することが可能である。O₃ の発生原理は、絶縁物を挟んだ電極間に交流高電圧を印加して発生する無性放電中を、大気圧以上の O₂ を通過させて O₃ を生成する。この装置は本来、フォトレジストアッシング、Si ウェハー及びサファイヤウェハーのクリーニング等、有機物除去及び表面改質を行う。しかし、本研究ではチャンネル膜中に O₂ を供給する方法として O₃ 発生装置(Fig. 2-26)を用いた。



Fig. 2-22 6 インチ RTA 装置の外観写真

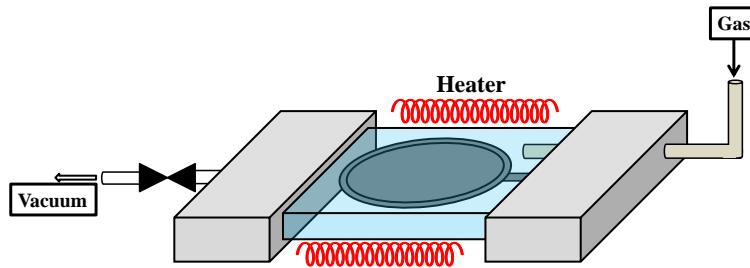


Fig. 2-23 6 インチ RTA 装置の概略図

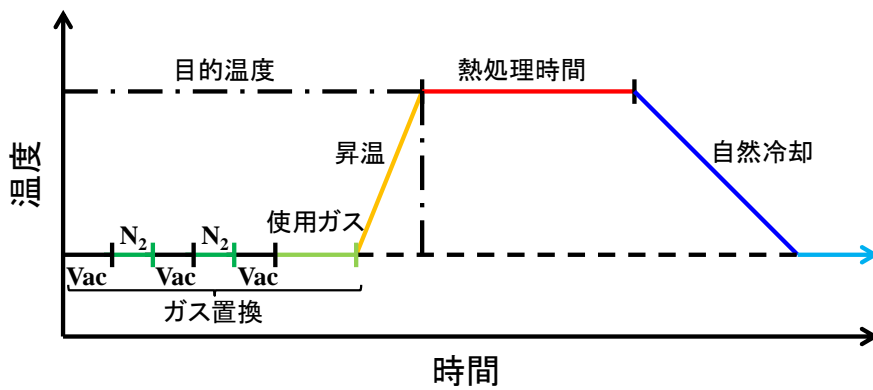


Fig. 2-24 RTA 装置を用いたアニール処理のプロセス



Fig. 2-25 ホットプレートの外観写真



Fig. 2-26 O₃ 発生装置

2.2 In_{1-x}Si_xO_{1-y}C_y 膜の物性評価

2.2.1 In_{1-x}Si_xO_{1-y}C_y 薄膜の膜厚測定

膜厚測定は、Si 基板上に In_{1-x}Si_xO_{1-y}C_y 膜が成膜されない部分を作り出すために、油性ペンを用いてマスクしてから In_{1-x}Si_xO_{1-y}C_y 膜を作製した。In_{1-x}Si_xO_{1-y}C_y を作製した後にアセトンで 10 分間の超音波洗浄を実施した後、続いて IPA で 10 分間の超音波洗浄を実施した。その後、N₂ ガスブローによって試料表面を乾燥させる工程を行った。この工程において、In_{1-x}Si_xO_{1-y}C_y 膜と Si 基板の間に段差を作り出し、膜厚測定用試料の作製を行った。膜厚測定用試料の作製プロセスの概略図を Fig. 2-27 に示す。

作製した試料は、触針式段差計を用いて膜厚を評価した。本研究で用いた触針式段差計 (Veeco Instruments Inc., Dektak 6M) の外観写真を Fig. 2-28 に示す。Fig. 2-29 に触針式段差計の模式図を示す。触針式段差系の原理は、先端の尖った針を表面に接触させ、サンプルステージを直線的に移動させ、段差、うねり及び粗さなどの表面形状を、針の垂直方向の動きを差動トランスなどで計測して検出する。原子間力顕微鏡 (Atomic Force Microscope : AFM) と異なり、マイクロカンチレバーではなく針が表面をなぞる。触針式段差計は AFM が発明される以前から利用されていた。本研究で用いた Dektak 6M は垂直分解能が 0.1 nm、最大垂直幅は 262 μm で、測定の長さは 50 μm ~ 30 mm である。試料は最大 φ150 mm のものまで測定可能である。付属のビデオカメラにより測定位置を決めることができる。PC が付属しており、測定後のレベリングから段差等の計算処理まで容易に求まる。

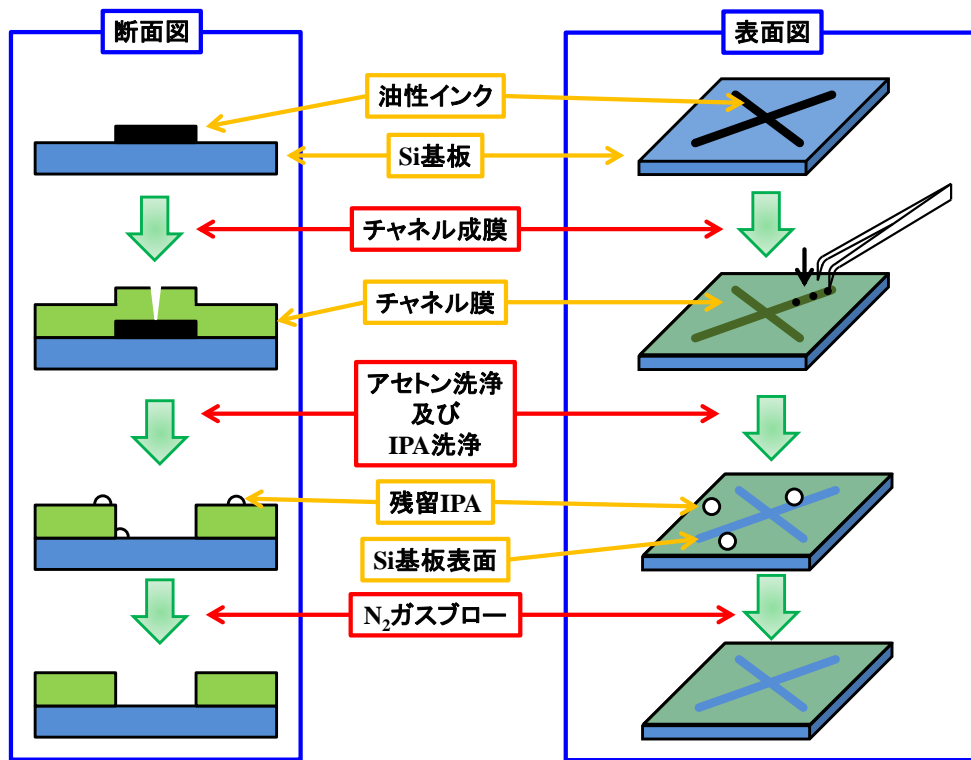


Fig. 2-27 膜厚測定用試料の作製プロセス



Fig.2-28 触針式段差計の外観写真

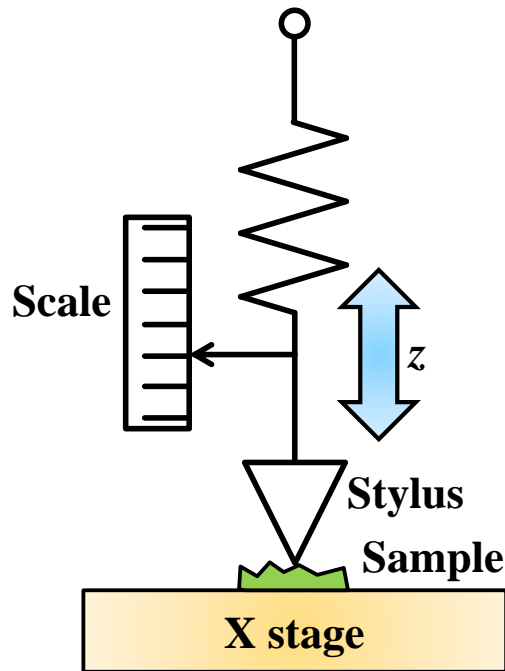


Fig. 2-29 触針式段差計の模式図

2.2.2 X線光電子分光法(X-ray photoelectron spectroscopy : XPS)による定量分析

本研究では X 線光電子分光法(X-ray Photoelectron Spectroscopy : XPS)を用いて、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の元素の定量分析を行った。また、化学結合状態についても評価した。本研究に用いた XPS 装置(サーモフィッシャー・サイエンティフィック社製、K-Alpha)の外観写真を Fig. 2-30 に示す。

XPS とは、超高真空中に設置した試料に対して X 線を照射して、光電効果により試料の構成元素の主として内殻の電子軌道から真空中へと放出される光電子の数とエネルギーを検出するというのが基本的な原理 (Fig. 2-31)である[8, 9]。

Fig. 2-32 に示すように、軌道電子の結合エネルギー (E_b) は、照射する X 線のエネルギー ($h\nu$) や放出される光電子エネルギー (E_k) との間で (2-1) 式に示すような関係にある。従って、 $h\nu$ が一定であれば E_b が求められる。そして、この E_b は元素ごとに固有の値を有するため、 E_k を測定することにより、元素の同定が可能である。また、検出された光電子の数をカウントすることで定量分析が可能となり、さらに E_b が同じ元素でも化学結合状態の違いにより異なる値を示すことから、化学結合状態分析も可能である。本研究での XPS の測定条件を Table 2-2 に示す。

$$E_k = h\nu - E_b \quad (2-1)$$

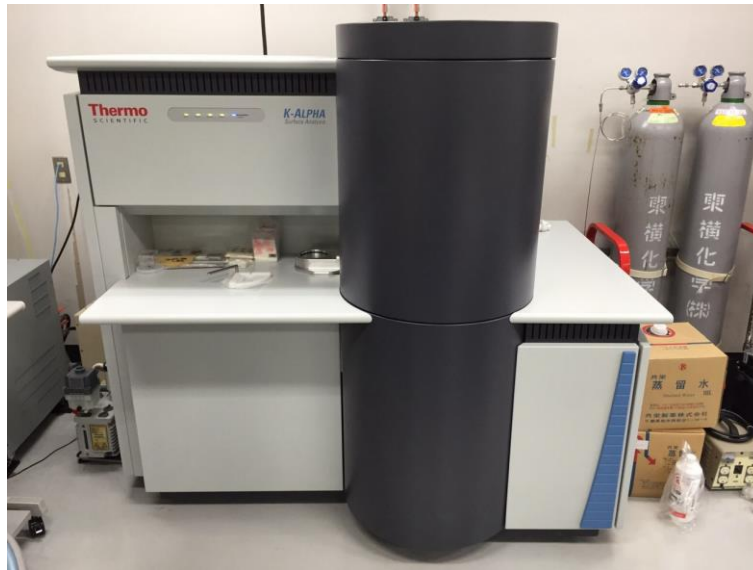


Fig. 2-30 XPS 装置の外観写真

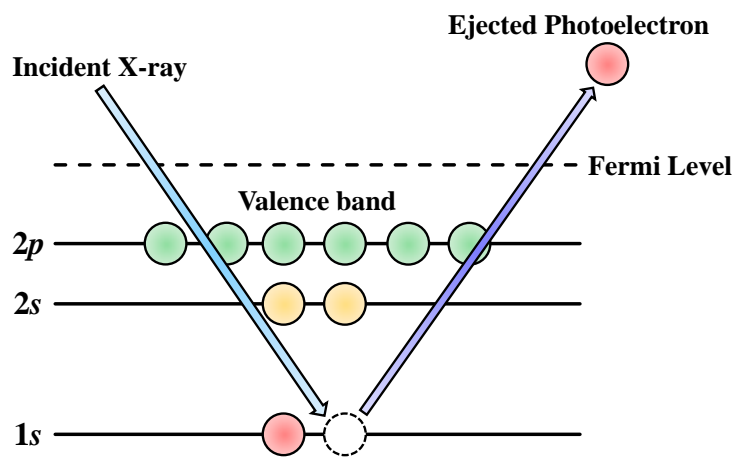


Fig. 2-31 XPS の基本原理①

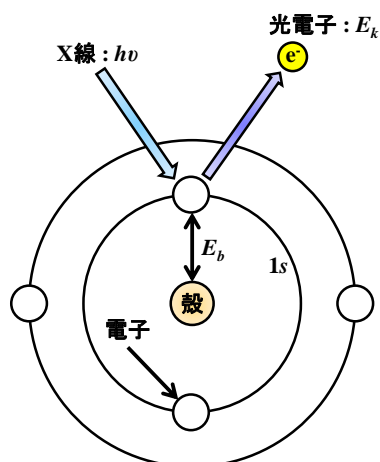


Fig. 2-32 XPS の基本原理②

Table 2-2 XPS の測定条件

X線源	X線出力	パスエネルギー	スポット径	スキャンステップ
Al-K α	15 kV - 6.7 mA	100 eV	ϕ 400 μ m	0.1 eV/step

2.2.3 X線回折(X-ray diffraction : XRD)による膜の構造評価

In_{1-x}Si_xO_{1-y}C_y 膜の熱安定性及び結晶性を評価するために X線回折(X-ray diffraction : XRD)装置を用いた。本研究に用いた XRD 装置(Bruker AXS 社製、D8 DISCOVER Super Speed)の外観写真を Fig. 2-33 に示す。結晶に X線が照射されると、個々の原子によって散乱された X線は互いに干渉しあう。それらが互いに強め合う時にのみ回折線が観察される。つまり XRD は原子の並び方に密接な関係がある情報が得られる。Fig. 2-34 のように面 (原子が平面に並んでいる) 間隔 d で規則正しく並んでいる結晶に波長 λ の X線が照射された場合の回折線が得られる条件はブラッグの式 (2-2) で示される[10]。ここで θ は結晶面と X線が成す角度であり、 n は整数である。

XRD を用いることによって、未知物質の同定が可能であり、物質の種類及び結晶構造がわかる。また、同じ化学的組成を持つ結晶構造が異なるものを見分けることが可能である。さらに、結晶構造解析が可能である。本研究で用いた XRD 装置(Bruker AXS, D8 Discover Super Speed)の測定条件を Table 2-3 に示す。

$$2d \sin \theta = n\lambda \quad (2-2)$$



Fig. 2-33 XRD 装置の外観写真

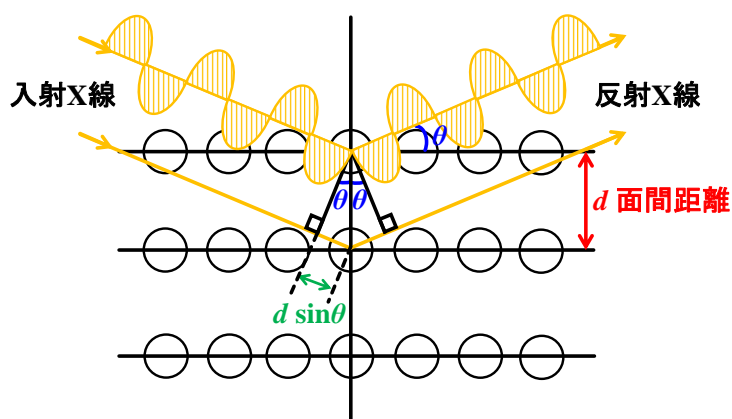


Fig. 2-34 ブラッグの条件

Table 2-3 XRD の測定条件

X線源	波長 λ	X線出力	スキャンステップ	測定範囲
Cu-K α	1.5418 Å	100 kV - 50 mA	0.02 deg/step	28 ~ 44 deg

2.2.4 集束イオンビーム加工(Focused Ion Beam : FIB)装置による試料の加工

作製した TFT を透過型電子顕微鏡により評価するために集束イオンビーム加工 (Focused Ion Beam : FIB)装置を用いて加工を行った。本研究に用いた Ga イオンを用いた FIB(SII 社製、SMI3050SE)装置の外観写真を Fig. 2-35 に示す。Fig. 2-36 に FIB の構成図を示す。Ga イオンを 40 keV で加速して、最小 10 nm 以下まで絞って試料に照射して、ナノスケールでエッチングする装置である。Si をはじめとする多種の材料に微細なパターンを作製することが可能である。溝加工後、その場で斜め方向から観察して断面構造を調べることも可能である。また、内蔵する W 膜堆積機能とプローブを使い試料の一部を μm スケールで切り出し、透過型電子顕微鏡の試料として取り出すことが可能である。Fig. 2-37 に加工途中の試料の写真を示す。



Fig. 2-35 断面TEM観察用の試料を作製したFIB装置

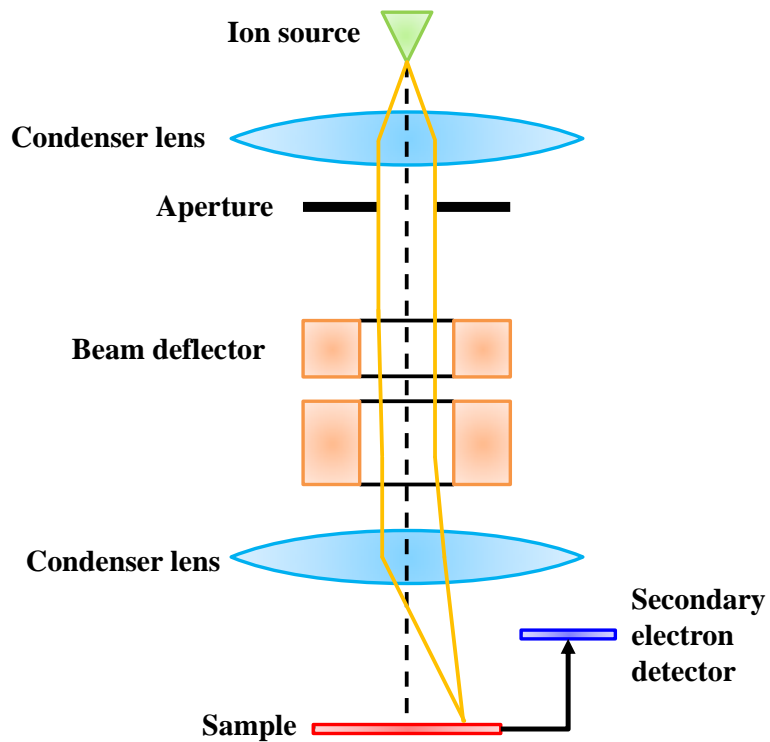


Fig. 2-36 FIB の構成図

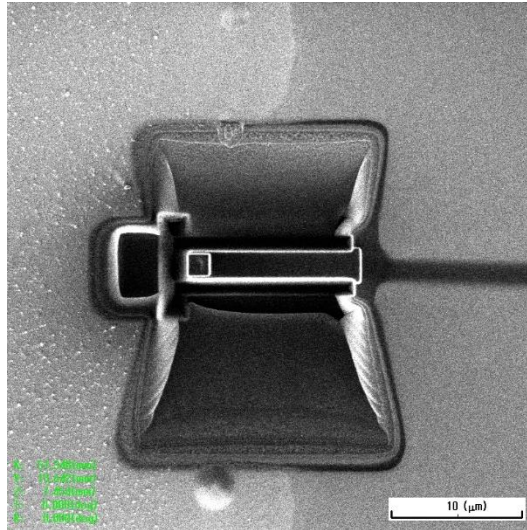


Fig. 2-37 FIB による加工途中の試料写真

2.2.5 透過型電子顕微鏡(Transmission Electron Microscope : TEM)による膜の結晶性評価

作製した TFT の界面状態及び結晶性を評価するために透過型電子顕微鏡(Transmission Electron Microscope : TEM)を用いた。本研究に用いた XPS 装置(日本電子社製、JEM-F200)の外観写真を Fig. 2-38 に示す。TEM は高電圧で加速させた電子を試料に照射させて透過した電子を結像して観察を行う電子顕微鏡であり、試料の形状や表面構造、結晶パターン、格子欠陥の存在及び結晶の配向方位などの情報が得られる。

Fig. 2-39 に TEM の構成図を示す。従来の TEM では、200 nm 以下の試料には 100 keV もしくは超高圧電子顕微鏡では、1000 keV 以上の電圧で加速された一定電流密度の電子線を照射する。

電子銃は電界放出型電子銃を用いており、熱電子放出型電子銃と比べて、電子密度や平行性の高い電子線を生み出すことが可能である。このため、高分解能、高コントラスト及び低加速電圧でも使用可能という特徴を備えている。

二つのコンデンサーステージにより、照射電子線の絞り、試料へ照射する電子線の面積を調整できる。試料内における電子密度の分布を 3 ~ 4 つのステージレンズシステムを用いて、蛍光スクリーンに結像する。像は真空中で CCD へ直接露光することにより記録する。

対物レンズのレンズ収差がとても大きいため、0.2 - 0.5 nm オーダーの分解能を得るためには、10 - 25 mrad オーダーのとても小さい対物絞りで観察しなければならない。明視野コントラストは、対物絞りよりも大きい角度を通して散乱された電子が吸収される(散乱コントラスト)こと、もしくは像点で散乱波と入射波の間での干渉(位相コントラスト)により生じる。試料背後の電子波の位相は対物レンズの波面収差により修正される。

この収差と 1 - 2 eV オーダーの電子銃のエネルギーの広がりが高い空間周波数での位相の変化を制限している。

電子は弾性、非弾性散乱によって原子と密接に影響しあう。そのため試料はとても薄くなければならず、試料の密度や元素組成、必要な分解能などにより、100 keV の加速電圧では、5 - 500 nm 程度にしなければならない。このためには、特別な試料加工技術が必要であり、FIB、化学研磨、電界研磨、イオン研磨及びウルトラマイクロトム法などがある。



Fig. 2-38 TEM 装置の外観写真

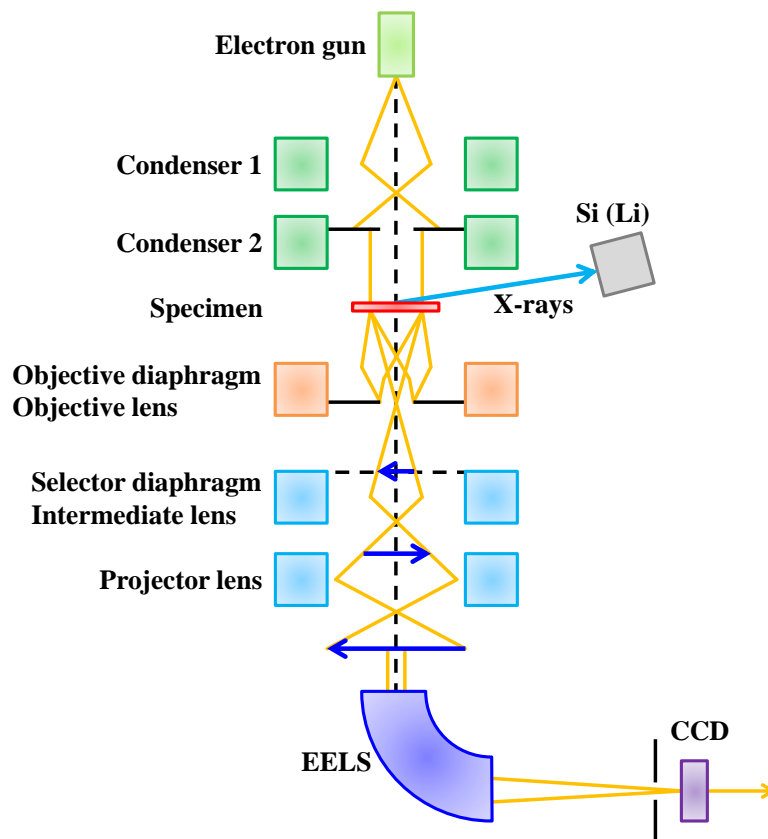


Fig. 2-39 TEM の構成図

2.2.6 原子間力顕微鏡(Atomic Force Microscope : AFM)による膜の表面粗さ評価

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の表面粗さ評価を行うために Fig. 2-40 に示す AFM 装置(L-Trace, 日立ハイテクサイエンス社製)を用いた。AFM はカンチレバー先端の探針と試料に作用する原子間力を利用して、試料の表面形状を測定する手法である。Fig. 2-41 に示すようにカンチレバーは一定のたわみを続けているように制御されており、それを水平方向に走査することで表面形状を測定している。試料表面の凹凸に起因してカンチレバーのたわみが増加すると、カンチレバー背面から反射する半導体レーザーの挙動が変化する。その際に、カンチレバーが一定のたわみを続けるように試料との距離を制御する。この制御でカンチレバーが移動した距離を基に試料表面の形状を評価する[11, 12]。



Fig. 2-40 AFM 装置の外観写真

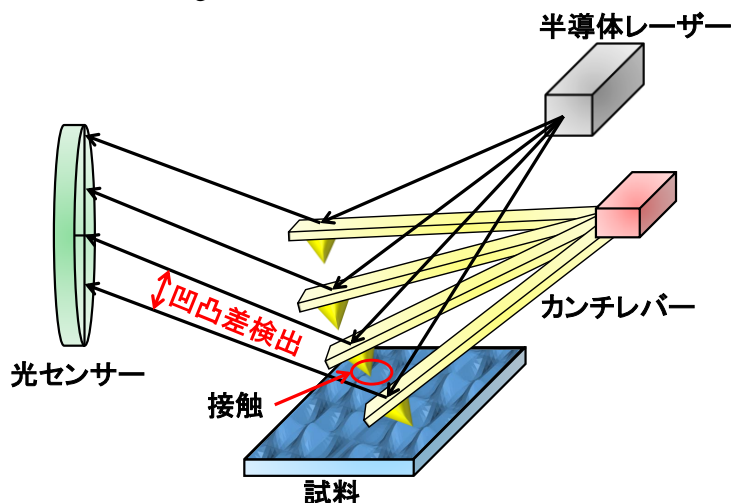


Fig. 2-41 AFM の原理

2.2.7 X 線吸収端微細構造(X-ray Absorption Fine Structure : XAFS)法による膜の局所構造解析

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の局所的な構造を解析するために XAFS(SPring-8 BL14B2)を用いた。XAFS は X 線の吸収スペクトルの微細構造を調べることにより、試料を構成する元素の局所的な原子配置や電子状態、配位数(価数)を調べることができる。XAFS はアモルファス系が対象であっても差し支えなく、特定の元素の周りの局所構造の解析が可能である。XAFS は吸収端近傍及び吸収端から数百 eV 以上のスペクトル領域から、X 線吸収端近傍構造(X-ray Absorption Near Edge Structure : XANES)及び広域 X 線吸収微細構造(Extended X-ray Absorption Fine Structure : EXAFS)に大別される。EXAFS スペクトルの振動現象は、X 線を吸収して光電効果を起こした原子から放出される光電子の波が、隣接

する原子からの反射波と干渉することによって生ずる。電子波の干渉を観察するため、微量元素でも検出でき、最近接領域における詳細な原子構造解析に威力を発揮する。本研究では EXAFS に現れる振動構造から導き出される動径分布関数に注目して評価を行った[13, 14]。

2.3 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ の電気特性評価

2.3.1 ホール測定用試料の作製

ホール測定用の試料は SiO_2 上にスパッタリング法を用いて、チャンネル層を 10 nm 成膜した。その後、電極として Ti (10 nm), Au (100 nm)成膜した。完成した実際の試料の写真を図 2-42 に示す。サンプルの形状は、 $10 \times 10 \text{ mm}^2$ の正方形で、電極の大きさが直径 1 mm であり、電極間の距離は 5 mm である(図 2-43)。ホール測定用試料の断面模式図を図 2-44 に示す。

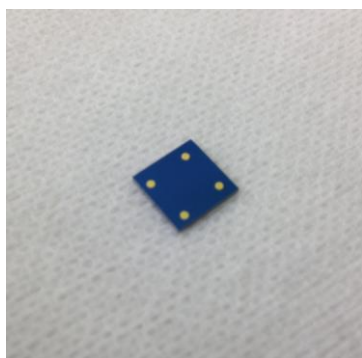


Fig. 2-42 ホール測定用試料の写真

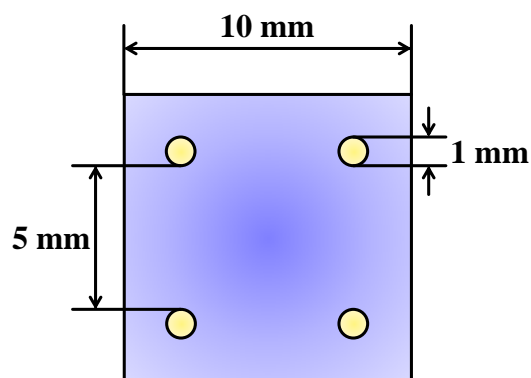


Fig. 2-43 ホール測定用試料の寸法

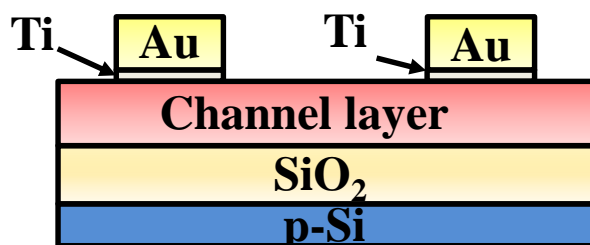


Fig. 2-44 ホール測定用試料の断面模式図

2.3.2 TFT の作製

TFT はゲート絶縁膜上にスパッタリング法を用いて、チャンネル層を 10 nm 成膜した。その後、ソース/ドレイン電極として Ti (10 nm), Au (100 nm)成膜した。本研究では、バ

バックゲート型及びボトムゲート型 TFT の形状の異なる 2 種類の TFT を作製した。それぞれの TFT の違いは、バックゲート型 TFT は作製した試料の基板全体がゲート電極となっており、基板全体に存在する各トランジスタ共通のゲート電極となる。一方で、ボトムゲート型 TFT はトランジスタ毎にゲート電極を形成しており、各トランジスタにそれぞれゲート電極が存在する。バックゲート型 TFT のチャンネル層を 10 nm 成膜直後の試料の写真を Fig. 2-45 に示す。完成した実際のバックゲート型 TFT の写真を Fig. 2-46 に示す。Fig. 2-47 に光学顕微鏡で観察した、本研究において用いるチャンネル長 350 μm のバックゲート型 TFT の写真を示す。バックゲート型 TFT の断面模式図を Fig. 2-48 に示す。ボトムゲート型 TFT のチャンネル層を 10 nm 成膜直後の試料の写真を Fig. 2-49 に示す。完成した実際のボトムゲート型 TFT の写真を Fig. 2-50 に示す。Fig. 2-51 に光学顕微鏡で観察した、本研究において用いるチャンネル長 350 μm のボトムゲート型 TFT の写真を示す。ボトムゲート型 TFT の横断面模式図及び縦断面模式図を Fig. 2-52 (a)及び Fig. 2-52 (b)に示す。本試料は Si 基板の上の縦方向に同じチャンネル長の TFT が 5 つ並んでおり、横方向にはチャンネル長 50 μm の TFT を 1 として番号が付き、2 は 100 μm 、3 は 150 μm …と 50 μm 刻みで、350 μm まで 7 つ存在する。合計で 35 の TFT が 1 枚の Si 基板上に存在する。

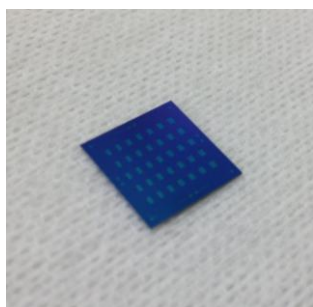


Fig. 2-45 チャンネル成膜後のバックゲート型 TFT

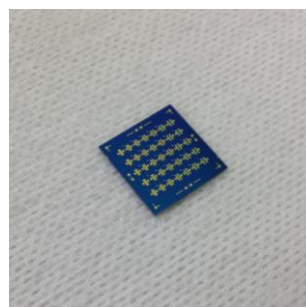


Fig. 2-46 ソース/ドレイン電極形成後のバックゲート型 TFT

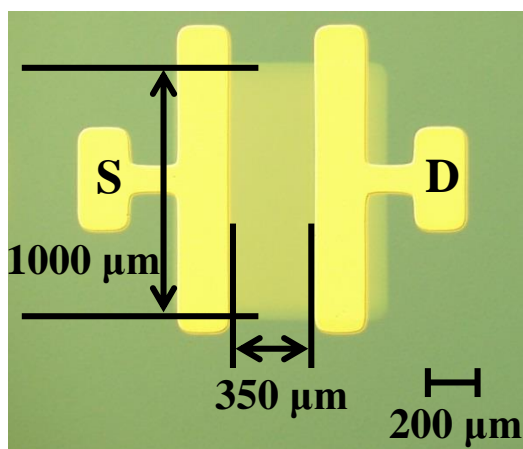


Fig. 2-47 光学顕微鏡で観察したバックゲート型 TFT

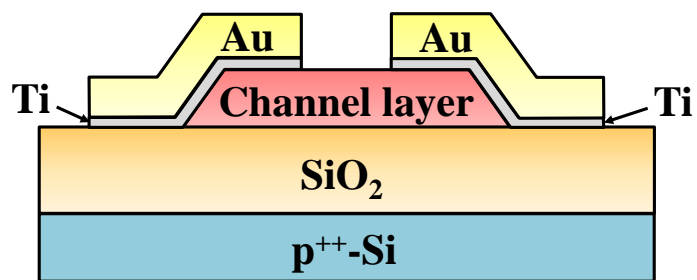


Fig. 2-48 バックゲート型 TFT の断面模式図

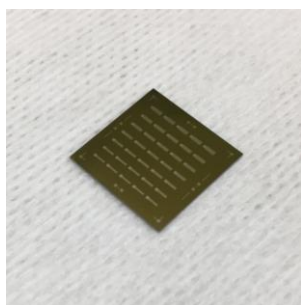


Fig. 2-49 チャンネル成膜後の
ボトムゲート型 TFT

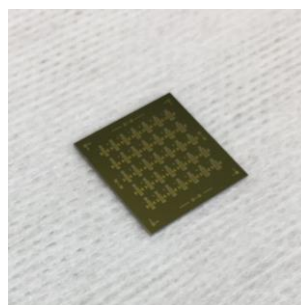


Fig. 2-50 ソース/ドレイン電極形成後の
ボトムゲート型 TFT

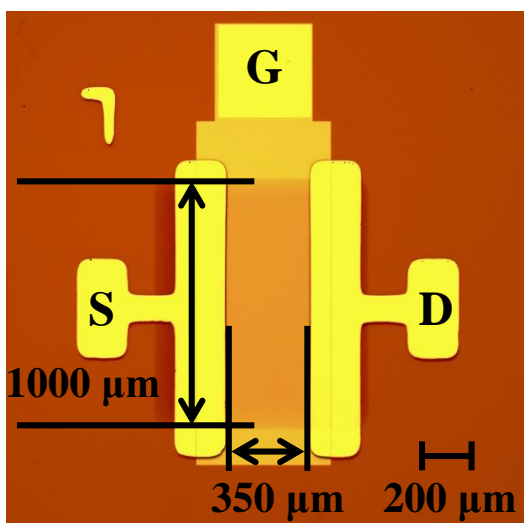


Fig. 2-51 光学顕微鏡で観察したボトムゲート型 TFT

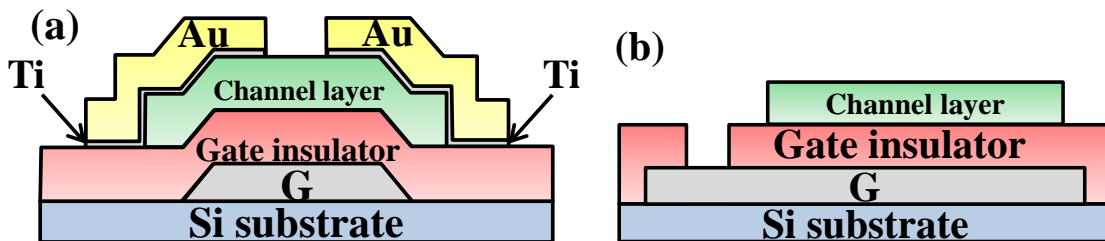


Fig. 2-52 ボトムゲート型 TFT の (a) 横断面模式図及び (b) 縦断面模式図

2.3.3 ホール測定

作製したホール測定用試料は Van Der Pauw 法を用いたホール測定装置(ResiTest8400、東陽テクニカ社製)で評価をした(Fig. 2-53)。この装置は、測定対象の材料の比抵抗、キャリアタイプ、キャリア濃度及びホール移動度を求めることができる。Van Der Pauw 法は任意の形状の試料におけるホール効果測定に考え出されたものである。理論上は任意の形状の試料に対応できるようになっている。しかし、実際の測定においては測定電圧間が不均衡になると誤差を生じやすいので、ある程度均整のとれた形状が好ましい。オーミック接触が取れる電極が 4 個必要である。Fig. 2-55 は本研究に用いたホール測定用試料の形状である。

電極は理論上、試料の端部に形成すべきであるが、端部ではオーミック接触が不完全になりやすいので、実際には端部に近い表面上に形成する。試料の大きさに対して電極の大きさが十分に小さければ誤差は小さい。

ホール効果測定手順は以下のとおりである。まず、抵抗率の測定法について述べる。電極の配置は Fig. 2-54 に示したようになっている。

電極 AB 間に電流 I_{AB} を流して、電極 CD 間の電圧 V_{CD} を測定する。この時の抵抗 $R_{AB, CD}$ を次のように定義する。

$$R_{AB, CD} = \frac{V_{CD}}{I_{AB}} \quad (2-3)$$

次に、電極 BC 間に電流 I_{BC} を流して、電極 DA 間の電圧 V_{DA} を測定する。上と同様に抵抗 $R_{BC, DA}$ を次のように定義する。

$$R_{BC, DA} = \frac{V_{DA}}{I_{BC}} \quad (2-4)$$

$R_{AB, CD}$ と $R_{BC, DA}$ の間に次の関係式が成立する[15, 16]。

$$\exp\left(-\frac{\pi d R_{AB, CD}}{\rho}\right) + \exp\left(-\frac{\pi d R_{BC, DA}}{\rho}\right) = 1 \quad (2-5)$$

これらを用いると試料の抵抗率 ρ は、以下の(2-6)式となる。

$$\rho = \frac{\pi \cdot t}{\ln 2} \frac{(R_{AB, CD} + R_{BC, DA})}{2} f \left(\frac{R_{AB, CD}}{R_{BC, DA}} \right) \quad (2-6)$$

ただし、 e は電子の電荷及び t はチャネル層の膜厚である。 f はチャネル層、試料形状及び電極の位置などから生じる不均一性を補正するための係数であり、以下で表される関数である。解析的に解くことはここでは割愛するが、 $R_{AB, CD} \geq R_{BC, DA}$ の場合の $R_{AB, CD}/R_{BC, DA}$ と f の関係が数表として報告されているので[17]、これを用いて ρ を求めることができる。

$$\frac{R_{AB, CD} - R_{BC, DA}}{R_{AB, CD} + R_{BC, DA}} = f \operatorname{arccosh} \left\{ \frac{\exp(\ln 2 / f)}{2} \right\} \quad (2-7)$$

次にキャリアタイプ、キャリア濃度及びホール移動度の測定法について述べる。Fig. 2-55 に示す様に x 方向に向かう均一な磁界 H_z の中に直方体 (長さ l , 幅 w , 高さ h) の n 型半導体を置き、電流 I_x を左から右に流すと、電荷 ($-e$) を持った電子が半導体中を右から左へと流れる。ここで電子の無秩序な熱運動を無視し、電子はすべて平均ドリフト速度 v_x で流れるものとする。この速度 v_x で磁界 H_z 中を運動する電子(電荷 $-e$)が受けるローレンツ力 F_y は

$$F_y = \left(\frac{-e}{c} (-v_x) H_z \right) \quad (2-8)$$

ここで c は光速である。この y 方向への電子の運動により、磁界がなければ平均して左から右に流れるはずの電子の経路が y 方向に曲げられ、瞬時に試料内に分極が生じる。この分極によってできた逆電界 E_y による電子の流れ μE_y がローレンツ力による流れ $\mu(e/c)v_x H_z$ を打ち消すようになり、やがて定常状態に達する。これがホール効果(Hall effect)である。ここで μ_H はホール効果に現れる移動度であり、ホール移動度と呼ぶ。 μ とは区別する。この時、

$$\begin{aligned} \mu_H \left(\frac{-e}{c} (-v_x) H_z \right) + \mu (-e E_y) &= 0 \\ \mu_H \left(\frac{-e}{c} (-v_x) H_z \right) + \mu \left(-e \frac{V_H}{w} \right) &= 0 \end{aligned} \quad (2-9)$$

ここで V_H は y 方向に発生した電圧で、ホール電圧と呼ぶ。このような定常状態での電子の経路は、平均すると再び y 方向を向き、試料が十分に強い n 型で、電流に対する正孔の寄与を無視しうるとすると

$$I_x = n(-e)(-v_x)hw \quad (2-10)$$

としてよい。ここで n は電子のキャリア密度である。(2-8)式、(2-9)式より

$$V_H = \frac{\mu_H}{\mu} \frac{I_x H_x}{cn(-e)h} = \frac{I_x H_x}{ch} R_H \quad (2-11)$$

となる。ここで R_H は

$$R_H = \frac{\mu_H}{\mu} \frac{1}{n(-e)} \quad (2-12)$$

であり、ホール係数(Hall coefficient)と呼ばれる。

半導体が n 型ではなく p 型であれば、電流は主として左から右に流れる正孔によって運ばれ、 $-e$ を e 及び $-v_x$ を v_x にすればよく、この場合ホール電圧は正となり、ホール係数も正となる。従って、ホール電圧が正か負かであるかによって、キャリアの種類、即ち n 型か p 型かを正確に知ることができる。今、 $\mu_H = \mu$ とすると

$$R_H = \frac{1}{n(-e)} \quad (2-13)$$

となるから、 R_H からキャリア濃度 n を求めることができる。

$$n = \frac{1}{(-e)R_H} \quad (2-14)$$

また、

$$\sigma = n(-e)\mu \quad (2-15)$$

であるから、(2-11)式、(2-14)式より

$$\mu_H = n(-e)\mu R_H = \sigma R_H \quad (2-16)$$

となり、抵抗率($\rho = 1/\sigma$)の測定と合わせることにより、ホール移動度 μ_H を求めることができる。即ちホール測定により、キャリアの種類、濃度及び移動度を知ることができる[18, 19]。



Fig. 2-53 本研究に用いたホール測定装置

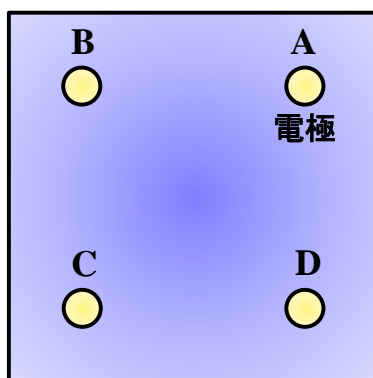


Fig. 2-54 本研究に用いたホール測定用試料の形状

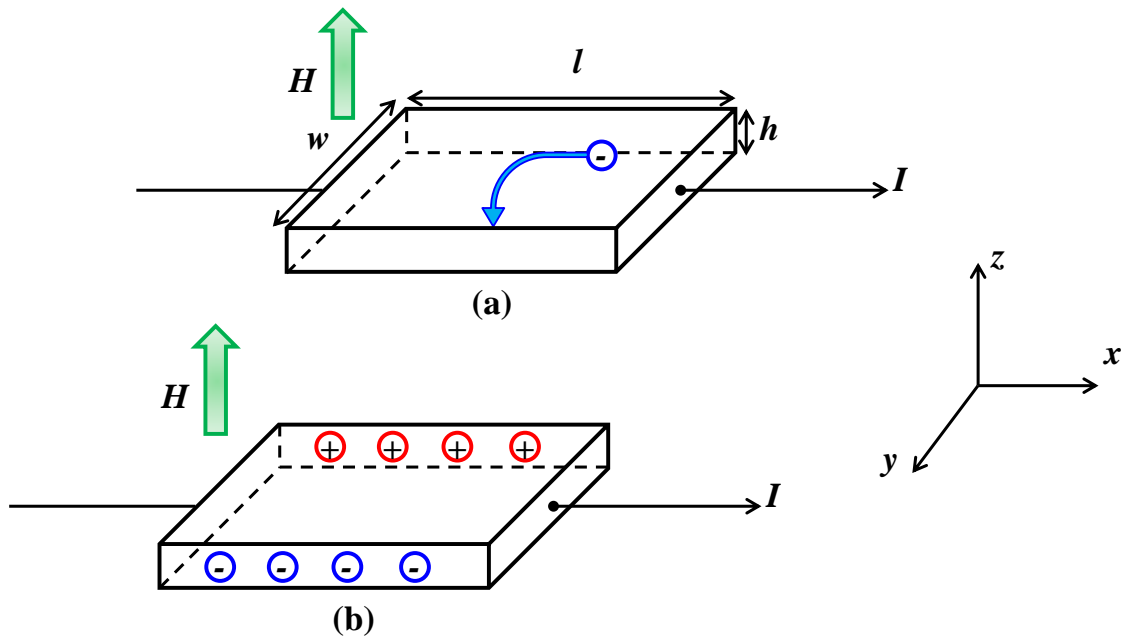


Fig. 2-55 ホール効果の原理

2.3.4 I-V測定

作製した TFT の電流-電圧(Current-Voltage : I-V)特性は半導体パラメータアナライザ 4156C(Agilent(Keysight) 社製)とプローバ ZEST8000-3-VSAPI(Nagase Electronic Equipments Service Co., LTD)を用いて、を評価した。

Fig. 2-56 に I-V 測定の概略図を示す。Fig. 2-57 に TFT の測定に用いた半導体パラメータアナライザ及びプローバの外観写真を示す。本測定の解析に必要な電子移動度、スイッチング特性及びヒステリシスの算出方法を以下に示す。

$$I_d = \frac{W}{L} C_0 \mu_{sat} (V_g - V_{th}) V_d \quad (2-17)$$

$$g_m = \frac{\partial I_d}{\partial V_g} = \frac{W}{L} C_0 \mu_{sat} V_d \quad (2-18)$$

$$\mu_{sat} = \frac{g_m}{WC_0 V_d} L \quad (2-19)$$

ここで、 I_d はドレイン電流、 W はチャネル幅、 L はチャネル長、 C_0 は単位面積当たりの静電容量、 μ_{sat} は飽和電子移動度、 V_g はゲート電圧、 V_{th} は閾値電圧、 V_d はドレイン電圧及び g_m は相互コンダクタンスである。Subthreshold Swing (SS) は式(2-20)を用いて算出する。SS は伝達特性のオフ領域からオン領域への遷移する閾値下領域で、対数グラフの傾きが最大の部分で、 I_d が一桁分増加するために必要な V_g の増分として定義する(Fig. 2-58)。SS が小さいほど傾きが急であるということが明らかになる。

$$SS = \frac{\partial V_d}{\partial \log_{10} I_d} = \ln(10) \frac{\partial V_g}{\partial (\ln I_d)} \quad (2-20)$$

SS は式(2-20)によって、Fig. 2-59 に示す半導体/絶縁膜界面のトラップ状態密度 N_S に関係している[20]。 N_S は等方性であると仮定する[21]。

$$N_S = C_0 \left(\frac{(SS) \log_{10} e}{k_B T} - \frac{1}{q} \right) \quad (2-21)$$

ここで、 e はネピア、 k_B はボルツマン定数、 T は絶対温度及び q は電気素量である。

本研究において、 V_{th} の取り方は Fig. 2-60 に示すように、 I_d - V_g 特性の縦軸 I_d の平方を取り、直線部から直線を引いて横軸 V_g に交わった部分を V_{th} とする。また、 V_{th} ヒステリシスは V_g を負電圧から正電圧へ印加を行った時と、正電圧から負電圧へ印加を行った時の V_{th} の差である(Fig. 2-61)。

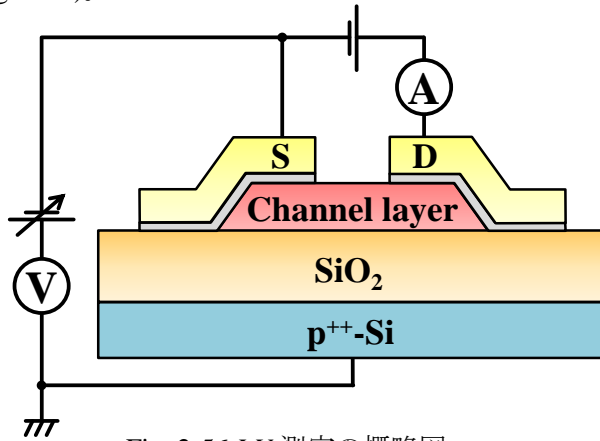


Fig. 2-56 I-V 測定の概略図



Fig. 2-57 半導体パラメータアナライザー及びプローバーの外観写真

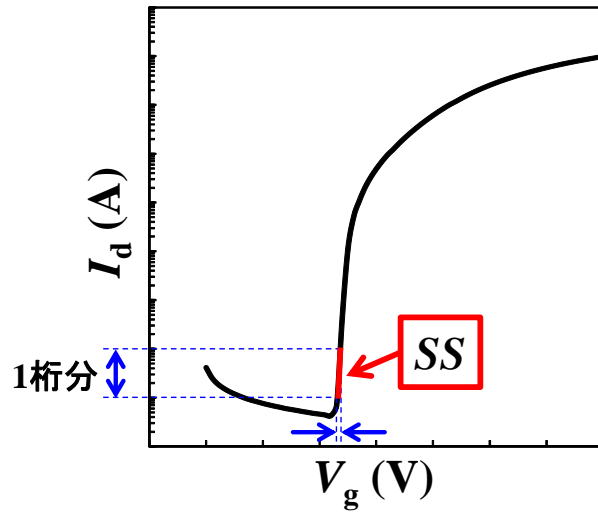


Fig. 2-58 SS 特性の定義

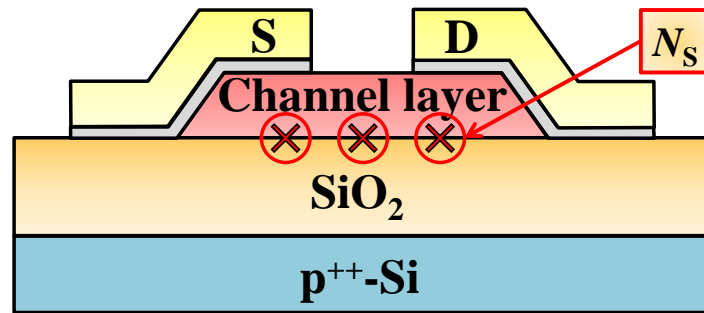


Fig. 2-59 半導体/絶縁膜界面のトラップ状態密度 N_s

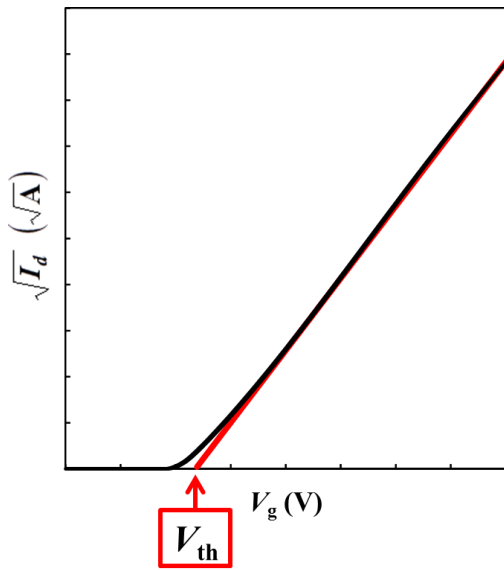


Fig. 2-60 V_{th} の評価方法

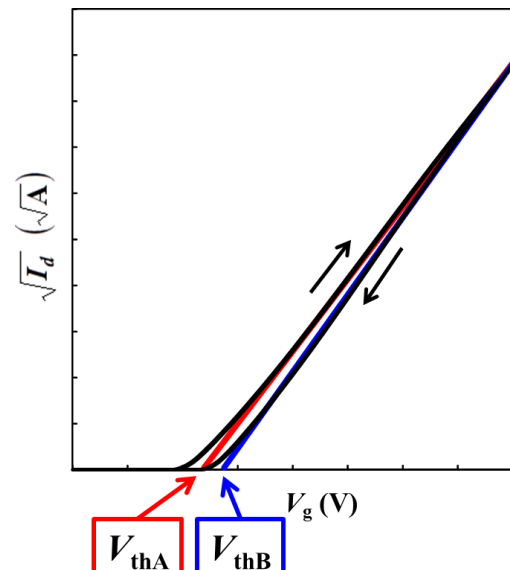


Fig. 2-61 V_{th} ヒステリシスの評価方法

2.3.5 バイアスストレス測定

TFTにおいて生じる問題の1つとして、バイアスストレス効果がある。バイアスストレス効果とは、ゲート電極に電圧を印加し続けていると、TFTの V_{th} が変動するという現象のことである(Fig. 2-62)。 V_{th} が変動することは、ゲート/ソース間に印加される電圧とドレイン電流との間の関係が変化することを意味する。 V_{th} の変動が著しく大きくなると、ゲート電極の電位を所定のオン電位にしたとしてもTFTがオン状態にならない事態が生じ得る。本研究においては、負ゲートバイアスストレス(Negative gate Bias Stress : NBS)、負ゲートバイアス光ストレス(Negative gate Bias Illumination Stress : NBIS)及び正ゲートバイアスストレス(Positive gate Bias Stress : PBS)を最大 10800 sec (3 h)印加して、 V_{th} の変動を評価する。

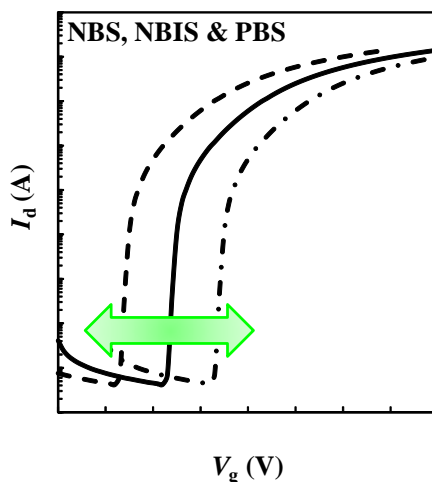


Fig. 2-62 バイアスストレスによる V_{th} の変動

2.4 まとめ

$In_{1-x}Si_xO_{1-y}C_y$ 膜の成膜及び $In_{1-x}Si_xO_{1-y}C_y$ TFT 作製に必要な実験装置について述べた。 $In_{1-x}Si_xO_{1-y}C_y$ 膜を作製するために用いた装置や物理/電気特性を評価するために用いた装置をまとめた。さらに、多元的評価のために用いた様々な作製及び評価手法について述べた。各作製装置、プロセス及び評価について、新規チャンネル材料である $In_{1-x}Si_xO_{1-y}C_y$ 膜の物理/電気特性の重要なデータを得るために、有効な手段であることを認識した。物理特性については XPS, XRD, TEM, AFM 及び XAFS について述べた。電気特性についてはホール測定、 I - V 測定及びバイアスストレス測定について述べた。 $In_{1-x}Si_xO_{1-y}C_y$ TFT の作製から分析及び評価まで一貫して研究を進めたため、系統的に調査する体制を構築することに繋がった。

参考文献

- [1] 前田和夫, はじめての半導体製造装置, 株式会社工業調査会発行, 163 頁 (1999).
- [2] 久保昌司, スパッタ技術の基礎, 株式会社アルバック, 秋田工業試験所 講演会 (2014) 秋田.
- [3] 吉田貞史, 薄膜, 倍風館, 49 頁(1999).
- [4] 超 LSI 製造・試験装置ガイドブック, 2005 年版, 工業調査会, 44-48 頁(2005).
- [5] 菅野卓雄、堀内重治, 半導体プラズマプロセス技術, 産業図書, 218 頁 (1980).
- [6] 西久保靖彦, よくわかる最新半導体の基本と仕組み, 秀和システム, 169 頁 (2003).
- [7] 菊地正典, 半導体のすべて, 日本実業出版社, 134 頁 (1998).
- [8] 日本表面科学会, 表面分析技術選書, X 線光電子分光法, 丸善株式会社, 5-7 頁(2009).
- [9] 坂本文孝, 第 34 回薄膜・表面物理基礎講座, 応用物理, 35 頁(2005).
- [10] X 線回析の手引き, 理学電気株式会社, 96 頁(1985).
- [11] G. Binnig, C. F. Quate, and Ch. GERber, Phys. Rev. Lett. **56**, 930-933 (1986).
- [12] Y. Sugimoto, P. Pou, M. Abe, P. Jelinek, R. Perez, S. Morita, and O. Custance, Nature **446**, 64-67 (2007).
- [13] 渡辺誠、佐藤繁, 放射光科学入門, 東北大学出版会, 269 頁 (2010).
- [14] 桑原裕司, X 線・放射光の分光, 日本分光学会, 76 頁 (2009).
- [15] van der pauw, L. J.: philips res. rept., **13**, 1958, 1.
- [16] van der pauw, L. J.: philips Tech. Rev., **20**, 1958/59, 220.
- [17] 楠木業 : 応用物理, **42**, 756, (1973)
- [18] 河東田隆, 半導体評価技術, 産業図書 (1989).
- [19] S. M. Sze, 半導体デバイス, 産業図書, (2001).
- [20] R. B. M. Cross, M. M. De Souza, S. C. Deane, and N. D. Young, IEEE Trans. Electron Devices **55**, 1109 (2008).
- [21] J. Kanicki and S. Martin, Thin Film Transistors, C. Kagan and P. Andy, Eds. New York: Marcel Dekker, 87 (2003).

第3章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製及び物性評価

3.1 はじめに

TFT は、高精細、駆動周波数の高速応答及び低消費電力へ向けて、高性能化への要求が高まっている。これまで、Ga-In-Zn-O (GIZO) [1], In-Ga-O [2], In-Sn-O [3, 4]及び In-Zn-O [5, 6]のような In 系金属酸化物をチャネル材料に用いた研究が盛んになされている。しかし、In 系金属酸化物チャネル層の電気伝導率及び移動度は、スパッタリング法の Ar/O₂ 分圧の変化に敏感で大きく変動することが知られている。この要因として、Ga-O, In-O 及び Zn-O の酸素かき離エネルギーが小さいために膜中に酸素欠損(V_O)を容易に生成し制御しづらいためと考えられている。そこで、V_O 生成を制御できスパッタリングのプロセスマージンを大きくとれる新たな In 系金属酸化物が要求されている。

これまでに、我々は V_O 生成を制御するために In-Ti-O [7], In-W-O [7-9]及び In-Si-O [7, 10]系をチャネル材料に用いた TFT を報告している。これらの材料の構成元素は、Ti-O (667 kJ/mol), W-O (720 kJ/mol)及び Si-O (799 kJ/mol)と高い酸素かき離エネルギーを有している[11]。我々は C-O が 1076 kJ/mol [11]とより高い酸素かき離エネルギーを有することに着目して、In-Si-O に C をドーピングした $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 系を選んだ。ここで、In-Si-O と C ターゲットを用いて酸素プラズマ雰囲気中で 2 元同時スパッタリングを行うと、膜中に C クラスターを生成しやすく、C が他の元素と結合しにくく、C が CO または CO₂ ガスとなって排出されて In-Si-O 膜中に C をドーピングできない可能性が高いと考えた。本章では、In₂O₃ と SiC ターゲットを用いた 2 元同時スパッタリング法で C ドープ In-Si-O ($\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$)膜を作製して、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si, C 濃度に対する物理特性について調べた。

3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製及び評価手法

Fig. 3-1 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製フローを示す。In-Si-O 膜への C ドーピングは、In₂O₃ 及び SiC ターゲットを用いた 2 元同時スパッタリング法で行った。p-Si/SiO₂ (100 nm)上に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜をスパッタリング法で、Ar/O₂ 圧を 0.25 Pa で酸素分圧(P_{O₂}) = 0.08 Pa として室温で膜厚 10 nm 成膜した。In₂O₃ ターゲットのスパッタパワーを 200 W に固定して、SiC ターゲットのスパッタパワーを変化させることで、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中の Si, C 濃度を調整した。その後、300 °C で 60 分間、大気中アニール処理をした。最後に 250 °C で 10 分間、O₃ 中アニール処理をした。

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si, C 濃度に対する物理特性について、XPS の結果から化学結合状態及び酸素欠損の変化、XRD の結果から熱安定性、AFM を用いて表面モフォロジーの評価及び XAFS を用いて局所構造解析を行った。

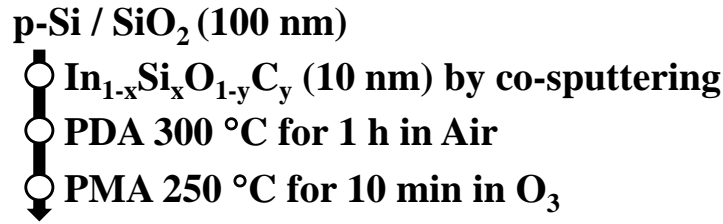


Fig. 3-1 In_{1-x}Si_xO_{1-y}C_y膜の作製フロー

3.3 実験結果及び考察

3.3.1 2元同時スパッタリング法を用いた In_{1-x}Si_xO_{1-y}C_y膜の成膜条件

2元同時スパッタリング法により In_{1-x}Si_xO_{1-y}C_y膜を成膜するために、In₂O₃とSiCターゲットの成膜条件を変えた。膜厚は2.2.1に述べた触針式段差計を用いて測定した。主な成膜条件は室温で、Ar/O₂ = 11/1 sccm, O₂分圧(P_{O₂})は0.08 Paとした。P_{O₂}に関しては式(3-1)を用いて算出した。

$$P_{O_2} = \frac{O_2}{Ar + O_2} \quad (3-1)$$

Table 3-1にIn₂O₃膜とTable 3-2にSiC膜の成膜条件を示す。In_{1-x}Si_xOC膜の成膜方法としてIn₂O₃ターゲットのスパッタパワーを固定して、SiCターゲットのスパッタパワーを変化させてSi濃度を調整した。そのため、SiCターゲットのスパッタパワーを200, 150及び100 Wと変えた場合の成膜速度を調べた。SiC膜のスパッタパワーに対する成膜レートをFig. 3-2に示す。スパッタパワーの増加に従って、成膜レートは増加した。スパッタパワーと成膜レートは比例関係にあることが明らかになった。

Table 3-1 In₂O₃膜の成膜条件

Target	Gas [sccm]		Sputter power [W]	Sputter time (sec)	Temperature [°C]	Thickness (nm)	Deposition rate [nm/sec]
	Ar	O ₂					
In ₂ O ₃	11	1	200	600	Room temperature	125.4	0.209

Table 3-2 SiC膜の成膜条件

Target	Gas [sccm]		Sputter power [W]	Sputter time (sec)	Temperature [°C]	Thickness (nm)	Deposition rate [nm/sec]
	Ar	O ₂					
SiC	11	1	200	600	Room temperature	51.6	0.086
SiC	11	1	150	600	Room temperature	42.6	0.071
SiC	11	1	100	1200	Room temperature	60.0	0.050

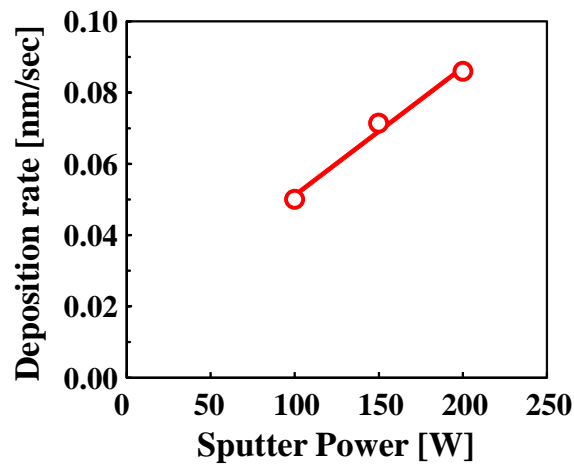


Fig. 3-2 SiC 膜のスputタパワーに対する成膜レート

3.3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 濃度及び成膜速度

3.3.1 で得られた In_2O_3 及び SiC 膜の成膜速度より、 $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の Si 濃度を決定して、2 元同時スパッタリング法による成膜を実施した。それぞれの Si 濃度に対する成膜条件は、Table 3-3 に示す理想密度 ρ 及びモル質量を用いて算出した。Table 3-4 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の成膜条件を示す。 In_2O_3 ターゲットのスputタパワーを固定し、SiC ターゲットのスputタパワーを変化させることで、 $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の Si 濃度を制御した。 $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の設計上では Si:C=1:1 で In_2O_3 と合成することが理想であるが、C はスパッタ成膜時の O_2 プラズマ中及び O_3 アニール処理を施すため、C が CO_x ガスとなり、C 濃度が理想の値にならない可能性が高い。 $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の C の詳細な濃度に関しては、次節で述べる。

Table 3-3 In_2O_3 及び SiC の理想密度 ρ 及びモル質量

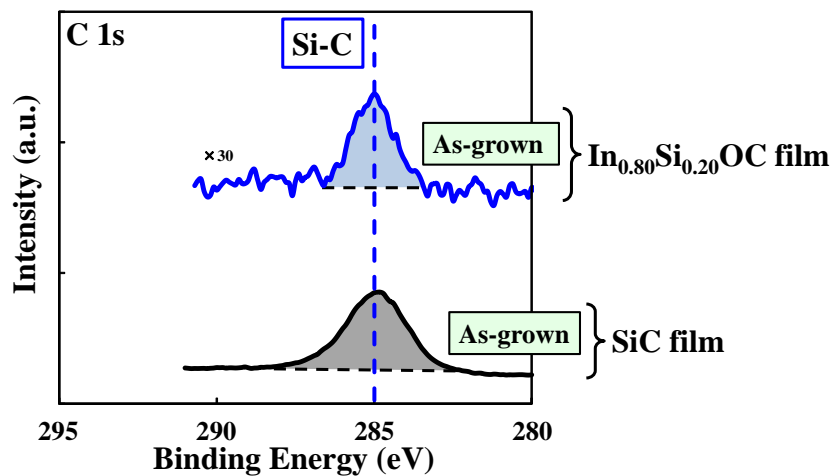
Target	ρ [g/cm^3]	Molar Mass [g/mol]
In_2O_3	7.18	277.64
SiC	3.22	40.10

Table 3-4 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の成膜条件

Composition	Sputter Power (W)		P_{O_2} (Pa)
	In_2O_3	SiC	
$\text{In}_{0.94}\text{Si}_{0.06}\text{OC}$	200	28	
$\text{In}_{0.88}\text{Si}_{0.12}\text{OC}$	200	50	0.08
$\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$	200	94	

3.3.3 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の C の存在評価

$\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜中の C 量を明らかにするために、XPS 測定で C 1s を評価した。まず Fig. 3-3 にスパッタ成膜直後の As-grown の $\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$ 膜の C 1s スペクトルを示す。リファレンスとして SiC 膜についても用意した。 $\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$ 膜は SiC 膜に比べて C 1s ピーク強度が大きく減少しているが、285 eV において Si-C 結合の存在が認められた。スパッタ成膜直後の $\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$ 膜の C ドープ量は 5.8 at. % であった。この結果から、スパッタ成膜直後の $\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$ 膜中に C がドープできていることが明らかになった。Fig. 3-4 に O_3 アニール処理後の $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の C 1s ピークを示す。それぞれの $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜は O_3 アニール処理後においても C 1s ピークが認められ、 $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜中に C がドープできていることが明らかになった。しかし、SiC 膜と比較すると $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の C 1s ピークは Si-C 結合の 285 eV が消失して、高エネルギー側に大きくシフトした。 O_3 アニールを施した SiC 膜の高エネルギー側にピークが現れているので、3.3.4 においてピーク分離を行う。Fig. 3-5 に示す $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の C ドープ量は $\text{C}/(\text{In}+\text{Si}+\text{O}+\text{C})$ から算出した。それぞれの C ドープ量は $\text{In}_{0.94}\text{Si}_{0.06}\text{OC}$ で 0.61 at. %, $\text{In}_{0.88}\text{Si}_{0.12}\text{OC}$ で 0.55 at. % 及び $\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$ で 0.88 at. % であった。Si 濃度の増加に従って、C 濃度は増加した。

Fig. 3-3 As-grown の $\text{Si}_{0.40}\text{C}_{0.02}$ 及び SiC 膜の C 1s ピーク

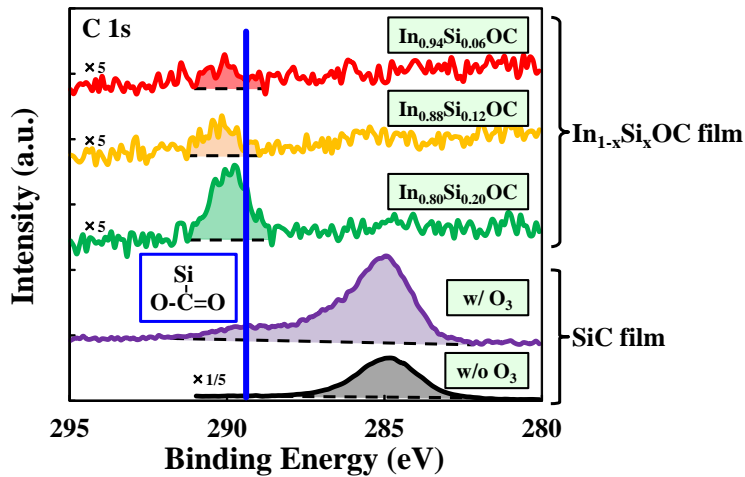


Fig. 3-4 O₃ アニール処理後の In_{1-x}Si_xO_{1-y}C_y 及び SiC 膜の C 1s ピーク

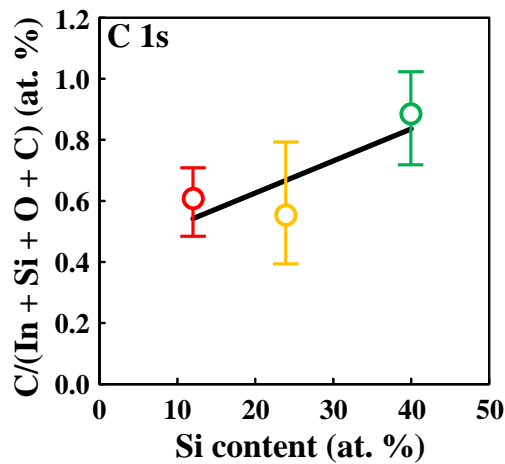


Fig. 3-5 C 1s ピークより求めた O₃ アニール処理後の In_{1-x}Si_xO_{1-y}C_y 膜の C のドーパ量

3.3.4 Post Metallization Anneal (PMA)前後における In_{1-x}Si_xO_{1-y}C_y 膜の化学結合状態の変化

3.3.3 において、O₃ アニールを施した SiC 膜の高エネルギー側にピークが現れていることを述べた。この SiC 膜の C 1s スペクトルをピーク分離することにより、PMA 前後における In_{1-x}Si_xO_{1-y}C_y 膜の化学結合状態の変化を明らかにできる。Fig. 3-6 に O₃ アニール処理を施した SiC 膜の C 1s スペクトルのピーク分離した結果を示す。O₃ アニール処理を施すことによって、Si-C 結合から Si-C-O, Si-C=O 及び $\begin{matrix} \text{Si} \\ | \\ \text{O}-\text{C}=\text{O} \end{matrix}$ 結合に変化していることが明らかになった[12]。このピーク分離を In_{1-x}Si_xO_{1-y}C_y 膜に対応させると、 $\begin{matrix} \text{Si} \\ | \\ \text{O}-\text{C}=\text{O} \end{matrix}$ 結合が支配的に形成されたことが明らかになる(Fig. 3-7)。しかし、In_{1-x}Si_xO_{1-y}C_y 膜の C 1s スペクトルのピークがより高エネルギー側にシフトしている。これは、第二近接元素の O が見えているため、より高エネルギー側にシフトしていると考えられる。Fig. 3-8 に O₃ アニール処理前後の C 結合状態のモデル図を示す。

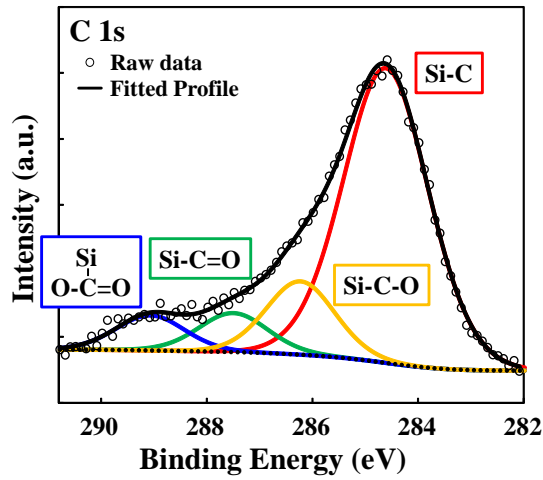


Fig. 3-6 O₃ アニール処理を施した SiC 膜の C 1s スペクトルのピーク分離

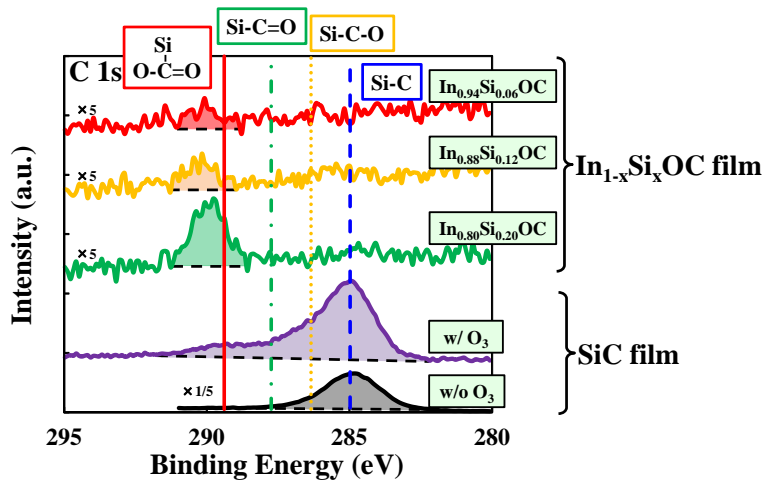


Fig. 3-7 O₃ アニール処理を施した In_{1-x}Si_xO_{1-y}C_y 膜のピークシフトの原因

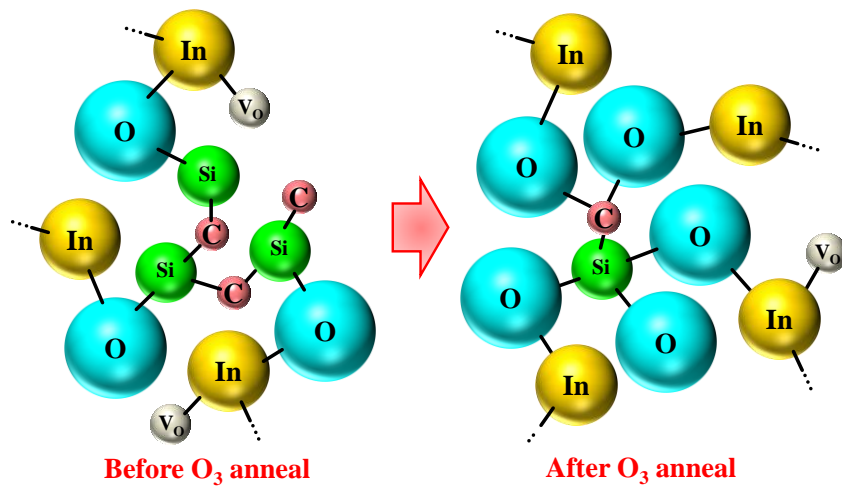


Fig. 3-8 O₃ アニール処理を施した In_{1-x}Si_xO_{1-y}C_y 膜の化学結合状態の変化

3.3.5 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 濃度及び C 濃度の変化に対する酸素欠損の変化

$\text{O}-\text{C}(\text{Si})=\text{O}$ の強い化学結合を形成した C は V_O 形成を効果的に抑制できる。Fig. 3-9 に $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の O 1s スペクトルを示す。530 eV(O_I)の低結合エネルギーピークは、 V_O を除く酸化物格子の酸素に起因するピークであり、一方で、531.4 eV(O_II)の中間の結合エネルギーピークは V_O に起因するピークである。532.5 eV(O_III)の高結合エネルギーピークは金属水酸化物(M-OH)種によるピークである[13-17]。 $\text{In}_{0.94}\text{Si}_{0.06}\text{OC}$, $\text{In}_{0.88}\text{Si}_{0.12}\text{OC}$ 及び $\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$ の V_O 濃度はそれぞれ 18.9, 13.3 及び 12.9 %であった。Si, C 濃度が増加するに従って、 V_O 濃度は減少した。ここで他の In 系金属酸化物と比較すると、In-Si-O の V_O 量は 33.0~51.0 %であり、GIZO の V_O 量は 23.0~34.0 %であった[18, 19]。この結果を見ても、Si-O 及び C-O 結合が V_O を効果的に抑制することが分かる。

アモルファス In-Si-O, In_2O_3 及び Zn-Sn-O チャネルの V_O 量はそれらの結晶質よりも多いと報告されている[18, 20, 21]。しかし $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の場合、結晶質 $\text{In}_{0.94}\text{Si}_{0.06}\text{OC}$ の V_O 量はアモルファス $\text{In}_{0.88}\text{Si}_{0.12}\text{OC}$ 及び $\text{In}_{0.80}\text{Si}_{0.20}\text{OC}$ よりも多かった。これは、結晶構造よりも強い結合を有する C-O 及び Si-O 結合が支配的に働いており、強い Si-O 及び C-O 結合は $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の In-O 結合からの O 脱離を抑制できたと考えられる。更に、 O_II 成分の量は $\text{In}_{0.80}\text{Si}_{0.20}\text{OC} < \text{In}_{0.88}\text{Si}_{0.12}\text{OC} < \text{In}_{0.94}\text{Si}_{0.06}\text{OC}$ の順で増加する。

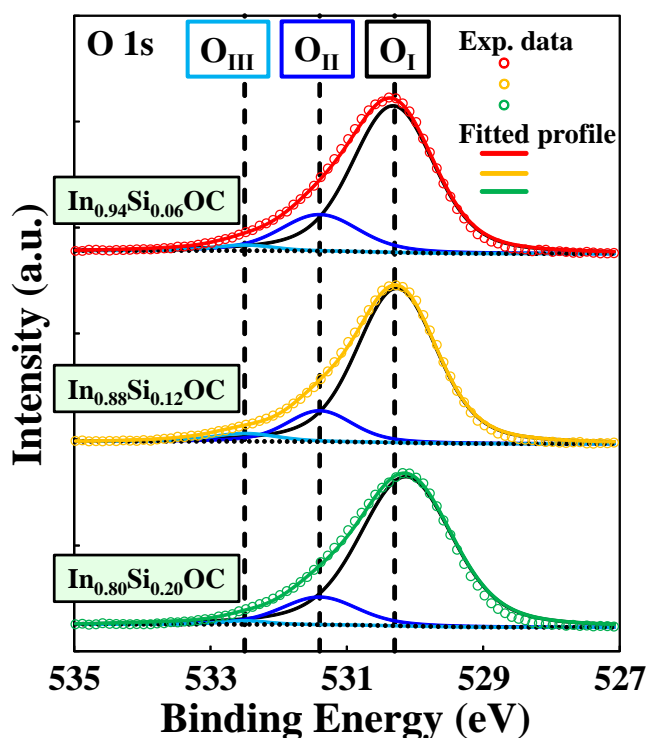


Fig. 3-9 PDA 及び PMA 処理を施した $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の O1s スペクトルのピーク分離

3.3.6 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の In 及び Si の化学組成

$\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜中の In 及び Si の化学組成を理解するために、XPS を用いて In 3d 及び Si 2p を評価した。Fig. 3-10 に $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜の In 3d スペクトルを示す。それぞれの試料において、2 つのピーク位置は 444.9 及び 452.4 eV と一致して、良好なフィッティング結果を得た。これは $3d_{5/2}$ 及び $3d_{3/2}$ のスピン軌道特性に帰属する[22]。この結果は In の価数が主に+3 を生成することを示す。以上より、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中において In は主に In-O 結合を形成していることが明らかとなった[18, 22]。

Fig. 3-11 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 2p スペクトルを示す。それぞれの試料のピーク位置は 102 eV と一致して、良好なフィッティング結果を得た。このフィッティング結果は、Si 元素の結合ピーク(99.4 eV)から大きく高エネルギー側にシフトしており、O との結合による影響だと考えられる[12, 23, 24]。以上より、 $\text{In}_{1-x}\text{Si}_x\text{OC}$ 膜中において酸素結合か隔離エネルギーの高さから、Si は効率的に Si-O 結合を形成して O 脱離を防ぐ一役を担っていることが明らかとなった。

以上の結果より、全ての元素の XPS のピークプロファイルから評価した $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中の元素濃度は Si/(In+Si) 及び C/(O+C) より算出した。その結果、各元素濃度は $\text{In}_{0.88}\text{Si}_{0.12}\text{O}_{0.99}\text{C}_{0.01}$ 、 $\text{In}_{0.76}\text{Si}_{0.24}\text{O}_{0.99}\text{C}_{0.01}$ 及び $\text{In}_{0.60}\text{Si}_{0.40}\text{O}_{0.98}\text{C}_{0.02}$ であった。

ここで、Table 3-5 に示すように、 $\text{In}_{0.88}\text{Si}_{0.12}\text{O}_{0.99}\text{C}_{0.01}$ ($\text{Si}_{0.12}\text{C}_{0.01}$)、 $\text{In}_{0.76}\text{Si}_{0.24}\text{O}_{0.99}\text{C}_{0.01}$ ($\text{Si}_{0.24}\text{C}_{0.01}$) 及び $\text{In}_{0.60}\text{Si}_{0.40}\text{O}_{0.98}\text{C}_{0.02}$ ($\text{Si}_{0.40}\text{C}_{0.02}$) と略称を定義する。

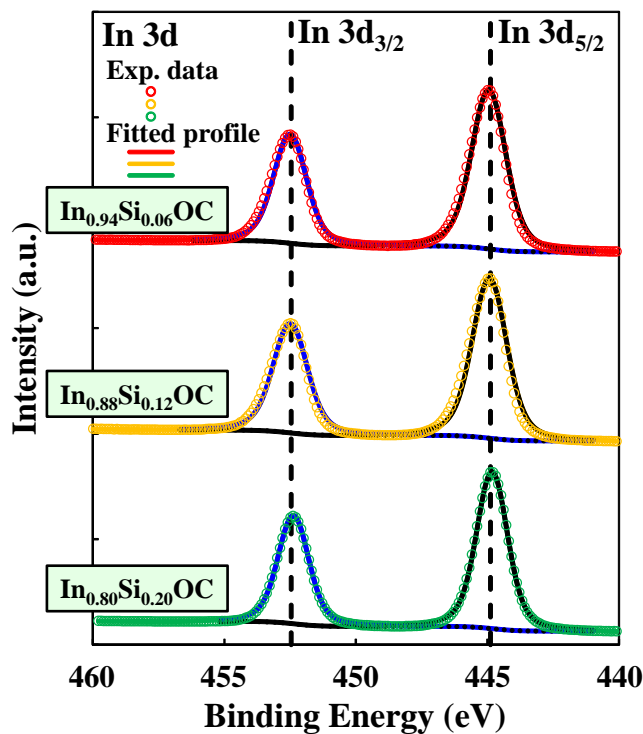


Fig. 3-10 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の In 3d スペクトルのピーク分離

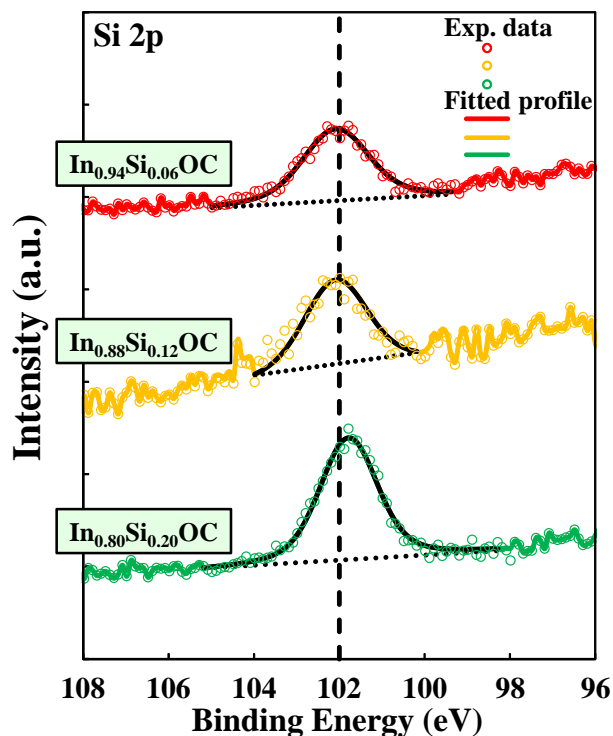


Fig. 3-11 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 2p スペクトルのピーク

Table 3-5 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の元素濃度及び略称

Composition	Abbreviated name
$\text{In}_{0.88}\text{Si}_{0.12}\text{O}_{0.99}\text{C}_{0.01}$	$\text{Si}_{0.12}\text{C}_{0.01}$
$\text{In}_{0.76}\text{Si}_{0.24}\text{O}_{0.99}\text{C}_{0.01}$	$\text{Si}_{0.24}\text{C}_{0.01}$
$\text{In}_{0.60}\text{Si}_{0.40}\text{O}_{0.98}\text{C}_{0.02}$	$\text{Si}_{0.40}\text{C}_{0.02}$

3.3.7 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の大気中における熱安定性の評価

XRD を用いて $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の大気中における熱安定性を評価した。Fig. 3-12 に示す XRD パターンから、As-grown 膜ではリファレンスの In_2O_3 膜に (222) 及び (332) の結晶ピーク現れ、Body Centered Cubic (BCC) 構造を有していることが明らかになった。これは JCPDS データを用いて同定した[25]。そのほかの試料はアモルファス構造を有していた。

Fig. 3-13 に示すプロセス温度の 300 °C では、 $\text{Si}_{0.12}\text{C}_{0.01}$ 膜において (222) 及び (332) の結晶ピークが現れた。そのほかの試料はアモルファス構造を有していた。

Fig. 3-14 に示すアニール温度が 600 °C では、 $\text{Si}_{0.40}\text{C}_{0.02}$ 及び In-Si-O (Si: 10 wt. %) 膜においては結晶ピークが認められず、アモルファス構造を有していることが明らかになっ

た。そのほかの試料に関しては、(222) の結晶ピークが認められた。In₂O₃, Si_{0.12}C_{0.01} 及び In-Si-O (Si: 3 wt. %) 膜においては、(332)の結晶ピークが認められた。

Fig. 3-15 に示すアニール温度が 800 °C では、Si_{0.24}C_{0.01} 及び Si_{0.40}C_{0.02} に (222) の結晶ピークが認められた。In₂O₃, Si_{0.24}C_{0.01} 及び In-Si-O (Si: 3 wt. %) 膜においては、(222) 及び (332)の結晶ピークが認められた。In-Si-O (Si: 10 wt. %) 膜においては、(321) の結晶ピークが認められた。Si_{0.40}C_{0.02} 及び In-Si-O (Si: 10 wt. %) 膜を比較すると、Si_{0.40}C_{0.02} 膜の結晶ピークのピーク強度大きいことが分かる。C をドーピングしたにもかかわらず、このような結果になった理由は、In-Si-O 膜に関してはスパッタリングの成膜時に 1 つのターゲットで成膜しているが、In_{1-x}Si_xO_{1-y}C_y 膜は In₂O₃ 及び SiC ターゲットを用いて成膜しているため、In₂O₃ による結晶化が促進され、Si 及び C によるアモルファス構造の維持ができなくなったためと考えられる。

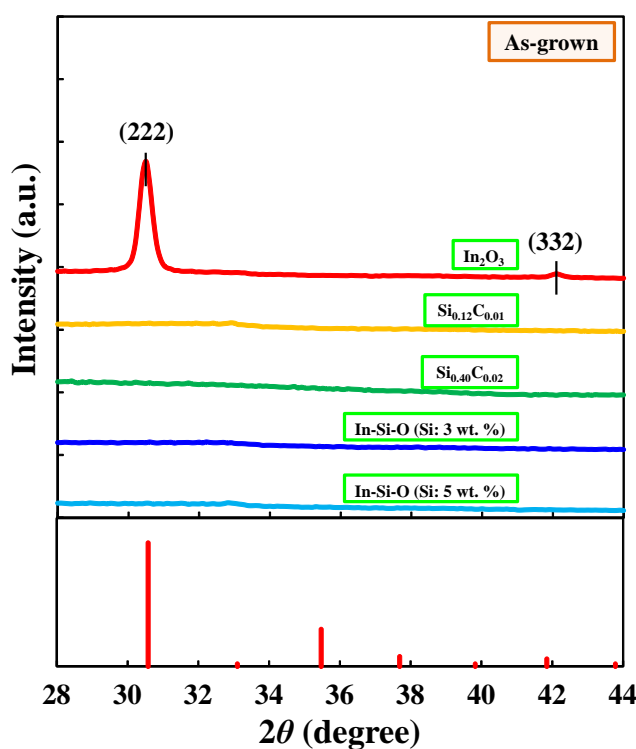


Fig. 3-12 As-grown における In_{1-x}Si_xO_{1-y}C_y 及び In_{1-x}Si_xO 膜の XRD パターン

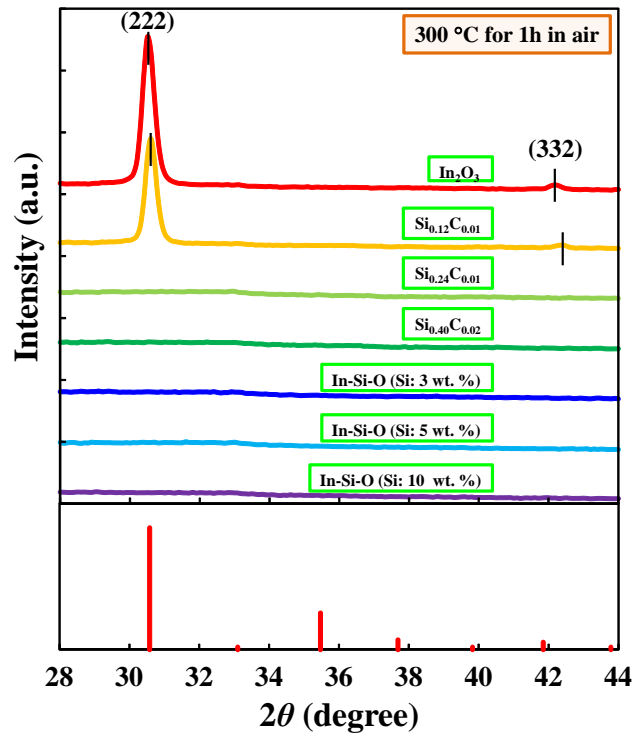


Fig. 3-13 熱処理温度 300 °C における $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ 膜の XRD パターン

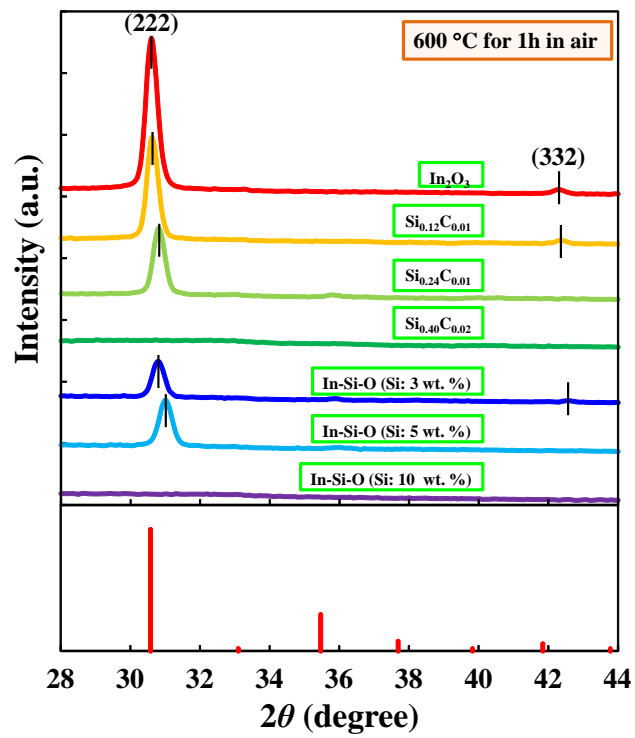


Fig. 3-14 熱処理温度 600 °C における $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ 膜の XRD パターン

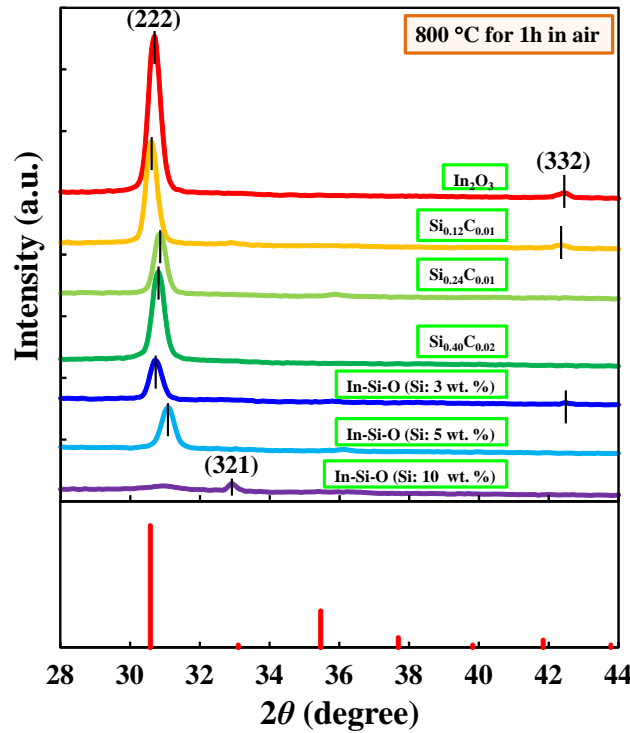


Fig. 3-15 熱処理温度 800 °C における $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ 膜の XRD パターン

3.3.8 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の表面モフォロジー

良好なトランジスタ特性を得るために酸化物チャネルの表面モフォロジー、特に平滑性が重要である。Fig 3-16 に AFM を用いて評価した熱処理温度 300 °C の $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の表面モフォロジーを示す。すべての試料に PDA 及び PMA を施している。 $\text{Si}_{0.12}\text{C}_{0.01}$ 、 $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.40}\text{C}_{0.02}$ の二乗平均平方根(Root Mean Square : RMS)値はそれぞれ 0.28, 0.24 及び 0.27 nm であった。 $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.40}\text{C}_{0.02}$ はアモルファス構造を維持しており、 $\text{Si}_{0.12}\text{C}_{0.02}$ 膜だけが結晶構造を有するが、同様な RMS 値を示した。また、通常のスパッタリング法を用いたアモルファスな In-W-O (W: 1 wt. %)及び In-Si-O (Si: 10 wt. %)の RMS 値はそれぞれ 0.27 及び ~0.23 nm であった[8, 10]。2 元同時スパッタリング法を用いたにもかかわらず、全ての試料表面は非常に滑らかであり、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜は酸化物チャネルとして最適な材料である。

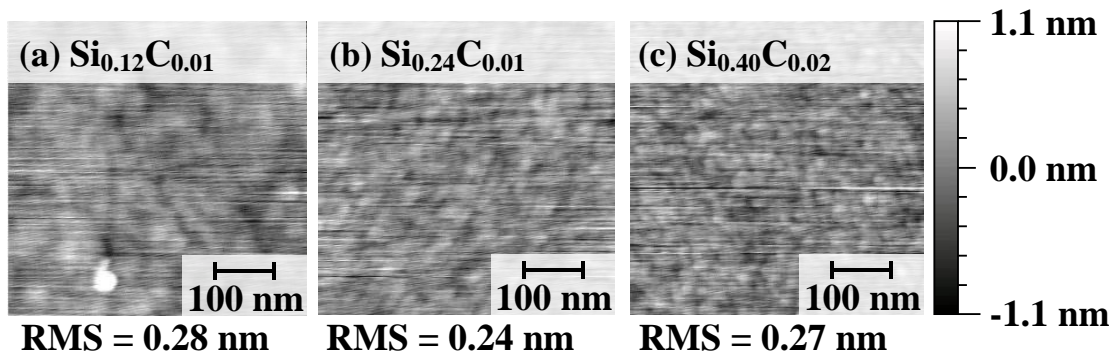


Fig. 3-16 (a) $\text{Si}_{0.12}\text{C}_{0.01}$, (b) $\text{Si}_{0.24}\text{C}_{0.01}$ 及び (c) $\text{Si}_{0.40}\text{C}_{0.02}$ の表面 AFM 画像

3.3.9 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の局所構造解析

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の局所構造解析は SPring-8 の BL14B2(課題番号:2015B1777)にて行った。In-K 吸収端について、19 素子 SSD による蛍光法、複数回のクイックスキャンによるスペクトルの積算を実施した。

Fig 3-17 (a)に各熱処理条件における $\text{Si}_{0.12}\text{O}_{0.01}$ の In-K 吸収端の XAFS スペクトルから導出した In 周囲の動径構造関数 (Radial Structure Function : RSF) を示す。すべての試料において In-O に由来する第一隣接ピークが認められる。この第一隣接ピークから熱処理を行った試料に対して変化が認められ、酸素配位数が増加していると考えられる。また、PDA 及び PDA + PMA を実施した試料は In-In に由来する第二近接ピークが認められた。これらの試料はこれまでに X 線回折を用いた測定において、BCC 構造のピークを示すことが明らかになっている。これらの試料において結晶化した影響で短距離秩序性の増加により、In-In ピークが認められたと考えられる。Fig 3-17 (b)及び Fig 3-17 (c)に各熱処理条件における $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.40}\text{C}_{0.02}$ の In-K 吸収端の XAFS スペクトルから導出した In 周囲の RSF を示す。すべての試料において In-O に由来する第一隣接ピークが確認される。 $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.40}\text{C}_{0.02}$ ともに熱処理後においても、第一隣接ピークから推定される酸素配位数や In-O 結合距離に大きな変化は認められなかった。この結果から $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.40}\text{C}_{0.02}$ において、In-O が熱処理前後で安定的に存在していることが明らかになった。

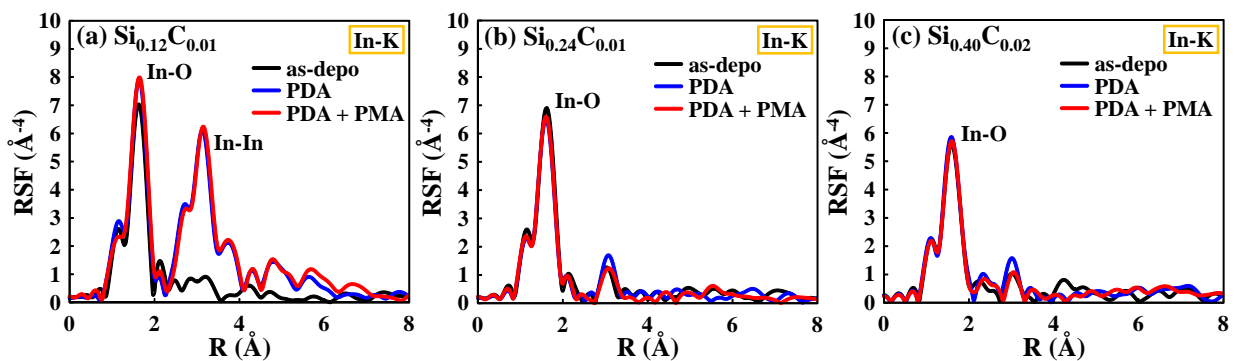


Fig. 3-17 (a) $\text{Si}_{0.12}\text{O}_{0.01}$, (b) $\text{Si}_{0.24}\text{C}_{0.01}$ 及び(c) $\text{Si}_{0.40}\text{C}_{0.02}$ の In 原子周辺の動径構造関数

3.4 まとめ

本章では In_2O_3 及び SiC ターゲットを用いて 2 元同時スパッタリング法で $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の成膜及び物理特性評価について議論した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜は In_2O_3 のスパッタパワーを固定して SiC のスパッタパワーを変化させることで、所定の Si, C 濃度の制御に成功した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の設計上では Si:C=1:1 で In_2O_3 と合成することが理想であるが、C ドープ量はスパッタ成膜直後で 5.8 at. % であり、 O_3 アニール後においては 0.55 ~ 0.88 at. % となることが明らかになった。しかし、チャンネル作製プロセスを経ても C ドープで

きることが明らかとなった。また、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中において C 周りの結合は、 O_3 アニール前は Si 主体であったが、 O_3 アニール後は O 主体の結合に変化した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中の V_{O} は Si, C 濃度の増加に従って、18.9 % から 12.9 % へと減少した。高酸素かき離エネルギーを有する Si-O 及び C-O 結合は $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の In-O 結合からの O 脱離を効果的に抑制したことを示す。また、In は主に In-O 結合を形成しており、Si は効率的に Si-O 結合を形成して O 脱離を防いでいる。XRD の結果から、プロセス温度 300 °C において、 $\text{Si}_{0.12}\text{C}_{0.01}$ 膜はアモルファス構造から BCC 構造に変化した。が、 $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.40}\text{C}_{0.02}$ 膜については、アモルファス構造を維持していた。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜は滑らかな表面を有しており、RMS 値はアモルファスまたは結晶質に関係なく ~0.28 nm であった。XAFS の In-K 吸収端の結果より、すべての試料において In-O に由来する第一隣接ピークが認められ、アニール処理後の $\text{Si}_{0.12}\text{O}_{0.01}$ は結晶化の影響により短秩序性が増加して、In-In に由来する第二近接ピークが認められた。

参考文献

- [1] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature* **432**, 488 (2004).
- [2] K. Ebata, S. Tomai, Y. Tsuruma, T. Iitsuka, S. Matsuzaki, and K. Yano, *Appl. Phys. Express* **5**, 011102 (2012).
- [3] T. Miyasako, N. Bui, M. Onoue, T. Kaneda, P. T. Tue, E. Tokumitsu, and T. Shimoda, *Appl. Phys. Lett.* **86**, 162902 (2005).
- [4] S. Y. Park, K. H. Ji, H. Y. Jung, J.-I. Kim, R. Choi, K. S. Son, M. K. Ryu, S. Lee, and J. K. Jeong, *Appl. Phys. Lett.* **100**, 162108 (2012).
- [5] N. L. Dehuff, E. S. Kettenring, D. Hong, H. Q. Chiang, and J. F. Wager, *J. Appl. Phys.* **97**, 064505 (2005).
- [6] P. Barquinha, A. Pimentel, A. Marques, L. Pereria, R. Martins, and E. Fortunato, *J. Non-Cryst. Solids* **352**, 1749 (2006).
- [7] S. Aikawa, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **103**, 172105 (2013).
- [8] S. Aikawa, P. Darmawan, K. Yanagisawa, T. Nabatame, Y. Abe, and K. Tsukagoshi, *Appl. Phys. Lett.* **102**, 102101 (2013).
- [9] T. Kizu, S. Aikawa, N. Mitoma, M. Shimizu, X. Gao, M.-F. Lin, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **104**, 152103 (2014).
- [10] N. Mitoma, S. Aikawa, X. Gao, T. Kizu, M. Shimizu, M.-F. Lin, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **104**, 102103 (2014).
- [11] Y. R. Luo, "Bond dissociation energies," in *CRC Handbook of Chemistry and Physics*, 90th ed., edited by D. R. Lide (CRC Press/Taylor and Francis, Boca Raton, 2009).
- [12] H. Habuka, S. Oda, Y. Fukai, K. Fukae, T. Takeuchi, and M. Aihara, *Jpn. J. Appl. Phys.* **44** 1376 (2005).

- [13] J. C. C. Fan and J. B. Goodenough, *J. Appl. Phys.* **48**, 3524 (1997).
- [14] S. Major, S. Kumar, M. Bhatnagar, and K. L. Chopra, *Appl. Phys. Lett.* **49**, 394 (1986).
- [15] T. Ishida, H. Kobayashi, and Y. Nakato, *J. Appl. Phys.* **73**, 4344 (1993).
- [16] J. F. Moulder, W. F. Stickle, P. E. Sobol, and K. D. Bomben, *Handbook of X-ray Photoelectron Spectroscopy* (Physical Electronics, Inc., 1995).
- [17] Z. Zheng et al., *J. Mater. Chem. C* **5**, 7043 (2017).
- [18] J.-W. Park, H. S. So, H.-M. Lee, H.-J. Kim, H.-K. Kim, and H. Lee, *J. Appl. Phys.* **117**, 155305 (2015).
- [19] J.-H. Park, Y. Kim, S. Yoon, S. Hong, and H.-J. Kim, *ACS Appl. Mater. Interfaces* **6**, 21363 (2014).
- [20] D. B. Buchholz, Q. Ma, D. Alducin, A. Ponce, M. Jose-Yacamán, R. Khanal, J. E. Medvedeva, and R. P. H. Chang, *Chem. Mater.* **26**, 5401 (2014).
- [21] K. H. Koo, H. S. So, D. H. Jung, J. W. Park, and H. Lee, *J. Appl. Phys.* **123**, 089901 (2018).
- [22] J. Gan, X. Li, J. Wu, S. Xie, T. Zhai, M. Yu, Z. Zhang, Y. Mao, S. Wang, Y. Shen, and Y. Tong, *Nature Scientific Reports* **3**, 1021 (2013).
- [23] R. Bywalez, H. Karacuban, H. Nienhaus, C. Schulz, and H. Wiggers, *Nanoscale Res. Lett.* **7**, 76 (2012).
- [24] M. H. Ahmed, J. A. Byrne, J. McLaughlin, and W. Ahmed, *J. Biomater. Nanobiotechnol.* **4**, 194 (2013).
- [25] JCPDS 00-006-0416

第4章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の電気特性

4.1 はじめに

次世代ディスプレイ用の TFT では、チャンネル材料として In 系金属酸化物を用いた研究が盛んであるが、In と酸素の結合解離エネルギーが小さいために、プロセス中に酸素欠損を容易に生成して、トランジスタ特性を劣化させる懸念があった。そこで大きな酸素結合かい離エネルギーを有する元素を添加した In-W-O、In-Ti-O 及び In-Si-O をチャンネル材料に用いた TFT が報告されている[1, 2]。本章では、スパッタリング法で作製した $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル材料をホール測定により評価して、電気伝導率、ホール移動度及びキャリア濃度の特性について議論する。

4.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製及び評価手法

Fig. 4-1 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜を用いたホール測定用試料の作製フローを示す。p-Si/SiO₂ (100 nm) 上に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜を In₂O₃ 及び SiC ターゲットを用いた 2 元同時スパッタリング法で、Ar/O₂ 全圧を 0.25 Pa で P_{O₂} = 0.08 Pa として室温で膜厚 10 nm 成膜した。In₂O₃ ターゲットのスパッタパワーを 200 W に固定して、SiC ターゲットのスパッタパワーを変化させることで、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中の Si, C 濃度を Si_{0.12}C_{0.01}, Si_{0.24}C_{0.01} 及び Si_{0.40}C_{0.02} で調整した。その後、300 °C で 60 分間、大気中において PDA 処理をした。抵抗加熱蒸着を用いて、Au (100 nm)/Ti (10 nm) の電極を形成した。最後に 250 °C で 10 分間、O₃ 中で PMA 処理をした。ホール測定はホール測定アナライザーにより Van der Pauw 法を用いて室温で評価した。ホール測定ではホール移動度、キャリア濃度及び電気伝導率を評価した。

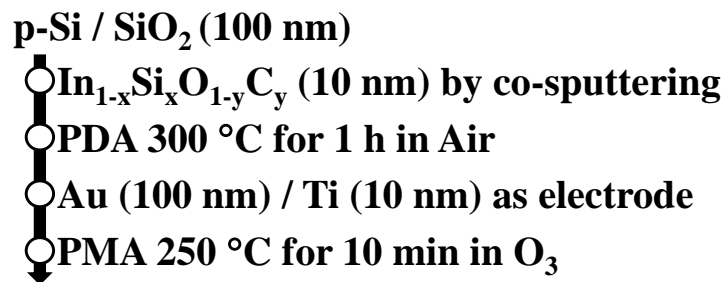


Fig. 4-1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜を用いたホール測定用試料の作製フロー

4.3 実験結果及び考察

4.3.1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のホール移動度とキャリア濃度

Table 4-1 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のホール移動度(μ_{Hall})及びキャリア濃度の SiC スパッタパワー依存性を示す。Si 濃度の増加に従って、 μ_{Hall} 及びキャリア濃度は減少した。 μ_{Hall} 及びキャリア濃度はホール測定より得られた。 μ_{Hall} の最大値は $\text{Si}_{0.12}\text{C}_{0.01}$ で $18.8 \text{ cm}^2/(\text{Vs})$ であった。 μ_{Hall} 及びキャリア濃度は V_{O} 量に依存する[3, 4]。Si 及び C 原子は V_{O} を補償するので、 μ_{Hall} の減少は V_{O} の減少に関係している。(2-15)式より $\text{In}_{1-x}\text{Si}_x\text{O}$ 膜のキャリア濃度を求めた。 $\text{In}_{0.86}\text{Si}_{0.14}\text{O}$, $\text{In}_{0.78}\text{Si}_{0.22}\text{O}$ 及び $\text{In}_{0.58}\text{Si}_{0.42}\text{O}$ 膜のキャリア濃度は、それぞれ 2.47×10^{17} , 9.49×10^{16} 及び $5.85 \times 10^{16} / \text{cm}^3$ だった。これらの値は $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜よりも 1 桁低かった。これは高いキャリア濃度が、高い μ_{Hall} 及び μ_{FE} を導くことを示唆している。

Fig. 4-2 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{Hall} 及びキャリア濃度の Si 濃度依存性を示す。Si 濃度が高くなるに従って、 μ_{Hall} 及びキャリア濃度が減少する傾向にあった。Fig. 4-3 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{Hall} のキャリア濃度依存性を示す。キャリア濃度が高くなるに従って、 μ_{Hall} が増加する傾向にあった。この結果から、 μ_{Hall} の減少はキャリア濃度の減少によるものと考えられる。GIZO においても、Fig. 4-3 の $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜と同様の傾向が認められる。GIZO の場合は、アニール処理により膜中及び界面欠陥の低減が実現されたと述べている[5]。Fig. 4-2 及び 4-3 の結果から $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の場合、 μ_{Hall} 及びキャリア濃度が共に低下した原因は、Si 濃度が高くなるに従って V_{O} が減少したからである。 V_{O} が減少する理由は、Si 濃度が高くなるに従って共有結合の SiO_2 の増加と共に C 濃度も増加したため、より多くの O を膜中に取り込み V_{O} を補償したからと考えられる。

Fig.4-4 に GIZO 膜のキャリア濃度に対する μ_{Hall} を加えた関係図を示す。ここで、HQ a-GIZO は Pulse Laser Deposition(PLD)を用いて高いレーザー密度で成膜された高品質の膜であり、LQ a-GIZO は低いレーザー密度で成膜された低品質の膜である。また、c-GIZO1 は結晶質を有する GaInZnO_4 であり、c-GIZO5 は結晶質を有する $\text{GaInO}_3(\text{ZnO}_5)$ である[5]。結晶膜を含むすべての GIZO 膜でキャリア濃度の増加に従って、 μ_{Hall} が高くなる傾向にあった[6-9]。これは、酸化物半導体の特徴的な特性であり、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜も同様の傾向を示した。しかし、この傾向は単結晶製半導体とは逆の特性である。それは、単結晶性半導体の μ_{Hall} が通常不純物散乱効果の増強により、キャリア濃度の増加に従って、減少するからである。

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜は LQ a-GIZO と同様の傾きを示した。これは、酸素かき離エネルギーの高い元素のドーピングにより V_{O} の抑制が大きく効果を発揮したために、キャリア濃度が急激に減少したからと考えられる。しかし、キャリア濃度が 10^{18} オーダーで μ_{Hall} が $10 \text{ cm}^2/(\text{Vs})$ 以上を誇るプロットが 2 点存在しており、HQ a-GIZO 及び結晶性を有する GIZO と同等の値である。この結果より、Si 及び C ドーピングによって、効果的に V_{O} を抑制して、高 μ_{Hall} 化に貢献していると考えられる。

Table 4-1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{Hall} 及びキャリア濃度の SiC スパッタパワー依存性

Composition	Sputter power (W)		μ_{Hall} ($\text{cm}^2/(\text{Vs})$)	Carrier concentration ($/\text{cm}^3$)
	$\text{In}_2\text{O}_3/\text{SiC}$			
$\text{In}_{0.88}\text{Si}_{0.12}\text{O}_{0.99}\text{C}_{0.01}$ ($\text{Si}_{0.12}\text{C}_{0.01}$)	200/28		18.8	7.42×10^{18}
$\text{In}_{0.76}\text{Si}_{0.24}\text{O}_{0.99}\text{C}_{0.01}$ ($\text{Si}_{0.24}\text{C}_{0.01}$)	200/50		11.9	4.78×10^{18}
$\text{In}_{0.60}\text{Si}_{0.40}\text{O}_{0.98}\text{C}_{0.02}$ ($\text{Si}_{0.40}\text{C}_{0.02}$)	200/94		4.1	6.74×10^{17}

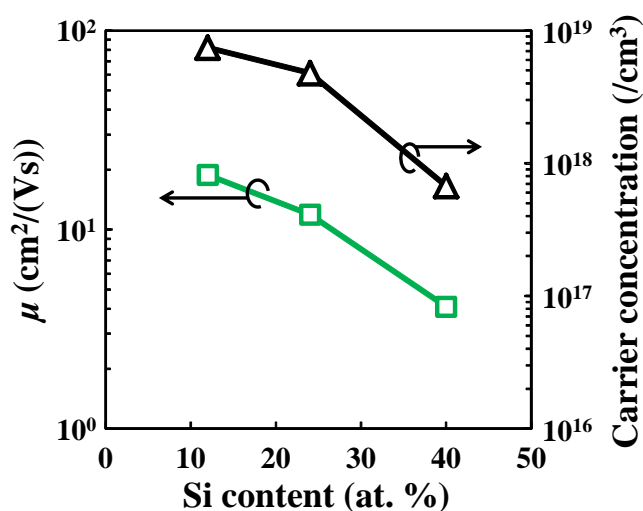


Fig. 4-2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{Hall} 及びキャリア濃度の Si 濃度依存性

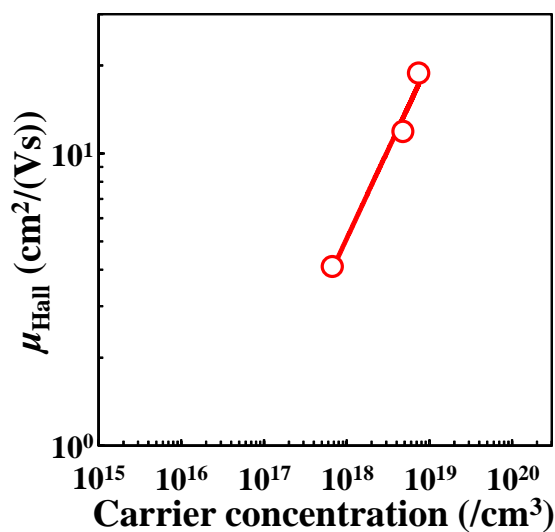


Fig. 4-3 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{Hall} のキャリア濃度依存性

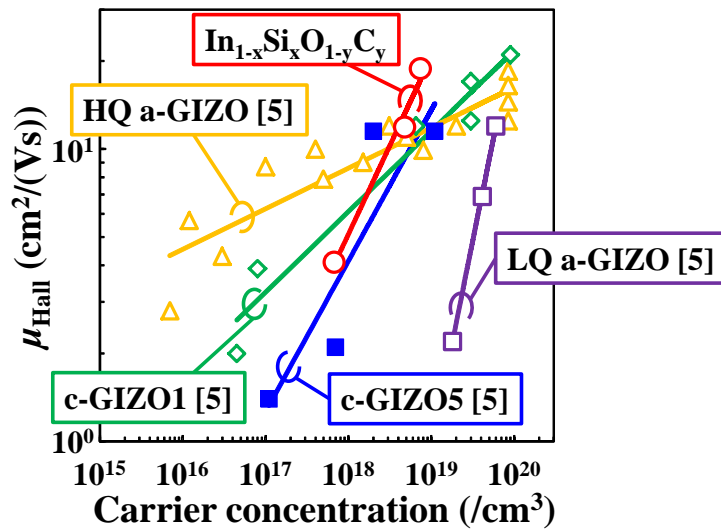


Fig. 4-4 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜及び GIZO 膜の μ_{Hall} のキャリア濃度依存性

4.3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の電気伝導率

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のスパッタ成膜時の O_2 分圧に対する電気伝導率の変化を、GIZO をはじめとする $\text{In}_{0.99}\text{Ti}_{0.01}\text{O}$, $\text{In}_{0.99}\text{W}_{0.01}\text{O}$ 及び $\text{In}_{0.99}\text{Si}_{0.01}\text{O}$ の他の In 系金属氧化物半導体と比較したデータを Fig. 4-5 に示す[1, 10]。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のスパッタ成膜時の O_2 分圧に対する電気伝導率の関係について評価した。 $\text{Si}_{0.40}\text{C}_{0.02}$ 膜の P_{O_2} は 0.0, 0.025, 0.050, 0.066 及び 0.083 Pa の 5 種類を用意した。 $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.12}\text{C}_{0.01}$ 膜の P_{O_2} は 0.0 及び 0.083 Pa の 2 種類を用意した。よく知られているように、GIZO[10, 11]及び ZnO[12]チャネルの電気伝導率は O_2 分圧に対して線形に変化する。この挙動は、成膜中の P_{O_2} がキャリア濃度に強く依存することによって引き起こされる[13, 14]。GIZO 系において、電気伝導率は成膜中の P_{O_2} に対して敏感に変化する[10]。しかし、この挙動は、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 系においては起こっていない。特に、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 系は全ての試料において電気伝導率が最も安定している。これらの結果は P_{O_2} に対する電気伝導率の変化は酸素かい離エネルギーに関係しており、2つの原子が個々の原子に分解する時、この傾きは化学結合力に依存することを示唆している。もし、金属と O 結合が低い酸素かい離エネルギーを有しているならば、酸素は簡単に脱離して、キャリア濃度が増加する[14, 15]。一方で、高い酸素かい離エネルギーの元素が InO_x 系に添加されると、電気伝導率は成膜中の P_{O_2} に対して影響を受けづらいことを期待される。傾きは、GIZO, $\text{In}_{0.99}\text{Ti}_{0.01}\text{O}$, $\text{In}_{0.99}\text{W}_{0.01}\text{O}$, $\text{In}_{0.99}\text{Si}_{0.01}\text{O}$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ の順で緩やかになり、それらの酸素かい離エネルギーの順と一致する。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜は Si 濃度を変化させても C 濃度が 0.55~0.88 at. % と少ないにもかかわらず、 P_{O_2} の変化に対して電気伝導率の変化は認められず、プロセスマージンが大きくなったことを意味する。これは、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 及び C 原子が過剰な V_O 形成を効果的に抑制されたと考えられる。結果として、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜が成膜中の P_{O_2} の影響を受けづらいことを示唆している。つまり、スパッタ成膜時の P_{O_2} がいかなる条件であって

も、TFT の性能を大きく変化させることなく作製できる可能性を秘めている。また、この結果は $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の成膜環境が変わっても、安定した TFT 作製に期待ができる。例えば、現在は実験室系のスパッタ装置で成膜をしているが、これが実デバイスの製造現場の大型スパッタ装置に応用した際に、これまで作製してきた条件を用いて簡単に製造現場へ応用できることが期待される。

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜は全ての試料において、他の In 系金属氧化物半導体と比較するとチャネル作製プロセスを経ても安定して電気伝導率が高く、TFT の高電子移動度化に期待が持てる。

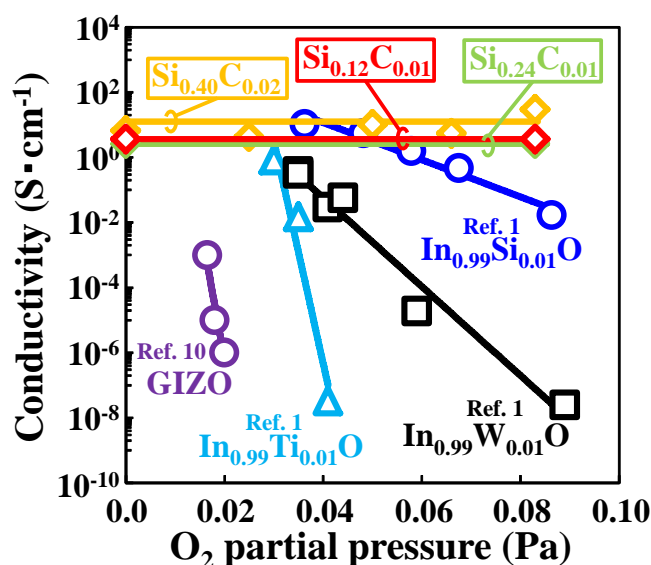


Fig. 4-5 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び In 系金属氧化物半導体の電気伝導率の P_{O_2} 依存性

4.4 まとめ

本章では $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の電気特性について議論した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜のキャリア濃度は $\text{In}_{1-x}\text{Si}_x\text{O}$ 膜よりも 1 桁高かった。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{Hall} 及びキャリア濃度は Si, C 濃度が高くなるに従って、低下する傾向にあった。また、キャリア濃度が高くなるに従って、 μ_{Hall} が高くなる傾向にあった。この結果より、キャリア濃度と μ_{Hall} には密接な関係があることを示唆している。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si, C 濃度の増加に従って μ_{Hall} 及びキャリア濃度が共に低下した原因は、Si 及び C が効率的に O を膜中に取り込み V_O を補償したからである。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の P_{O_2} に対する電気伝導率の変化を他の In 系金属氧化物半導体と比較したところ、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の傾斜は最も緩やかになり、 P_{O_2} に対して電気伝導率の変化が最も少ないことが明らかになった。すなわち、酸素かい離エネルギーの大きな C を微量であっても添加することにより、プロセスマージンが大きくなったことを意味している。これは、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の Si 及び C 原子が過剰な V_O 形成を効果的に抑制されたと考えられる。また、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜は他の In 系金属氧化物半導体と比較して、作製プロセスを経ても安定して電気伝導率が高く、高電子移動度な TFT の作製に期待が持てる。

参考文献

- [1] S. Aikawa, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **103**, 172105 (2013).
- [2] N. Mitoma, S. Aikawa, X. Gao, T. Kizu, M. Shimizu, M.-F. Lin, T. Nabatame, and K. Tsukagoshi, *Appl. Phys. Lett.* **104**, 102103 (2014).
- [3] T. C. Chou, Y. W. Kao, and K. C. Chiu, *Trans. Mater. Res. Soc. Jpn.* **38**, 593 (2013).
- [4] G. H. Kim, W. H. Jeong, and H. J. Kim, *Phys. Status Solidi A* **207**, 1677 (2010).
- [5] T. Kamiya, K. Nomura and Hosono, *J. Disp. Technol.* **5**, 273 (2009).
- [6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature*, **432**, 488 (2004).
- [7] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, *Appl. Phys. Lett.*, **85**, 993 (2004).
- [8] A. Takagi, K. Nomura, H. Ohta, H. Yanagi, T. Kamiya, M. Hirano, and H. Hosono, *Thin Solid Films*, **486**, 38 (2005).
- [9] K. Nomura, T. Kamiya, H. Ohta, K. Shimizu, M. Hirano, and H. Hosono, *Phys. Stat. Solidi(a)*, **205**, 1910 (2008).
- [10] H. Yabuta M. Sano, K. Abe, T. Aiba, T. Den, H. Kumomi, K. Kamiya, K. Nomura, T. Kamiya, and H. Hosono, *Appl. Phys. Lett.* **89**, 112123 (2006).
- [11] H. Kumomi, K. Nomura, T. Kamiya, and H. Hosono, *Thin Solid Films* **516**, 1516 (2008).
- [12] P. F. Carcia, R. S. McLean, M. H. Reilly, and G. Nunes, *Appl. Phys. Lett.* **82**, 1117 (2003).
- [13] H. Hosono, *J. Non-Cryst. Solids*, 352, 851 (2006).
- [14] K. Nomura, A. Takagi, T. Kamiya, H. Ohta, M. Hirano, and H. Hosono, *Jpn. J. Appl. Phys.* **45**, 4303 (2006).
- [15] E. Fortunato, P. Barquinha, and R. Martins, *Adv. Mater.* **24**, 2945 (2012).

第 5 章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の電気特性

5.1 はじめに

次世代ディスプレイ用の TFT では、チャネル材料として In 系金属酸化物を用いた研究が盛んであるが、In と酸素の結合解離エネルギーが小さいために、プロセス中に酸素欠損を容易に生成して、トランジスタ特性を劣化させる懸念があった。そこで大きな酸素結合かき離エネルギーを有する元素を添加した In-W-O、In-Ti-O 及び In-Si-O をチャネル材料に用いた TFT が報告されている[1, 2]。本章では、スパッタリング法で作製した $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル材料を用いた TFT を作製して、 I_d - V_g 特性より得られた初期特性から、特に電子移動度(μ_{FE})及び閾値電圧(V_{th})に焦点を絞り、チャネル膜中の C が電気特性に及ぼす影響を議論する。

5.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製及び評価手法

Fig. 5-1 にバックゲート型 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製フローを示す。 p^{++} -Si/SiO₂ (300 nm) 上に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜を In₂O₃ 及び SiC ターゲットを用いた 2 元同時スパッタリング法で、Ar/O₂ 全圧を 0.25 Pa で酸素分圧(P_{O₂} = 0.08 Pa)として室温で膜厚 10 nm 成膜した。エッチングによるダメージを防ぐために、ステンシルマスクを用いてチャネルのパターニングを行った。In₂O₃ ターゲットのスパッタパワーを 200 W に固定して、SiC ターゲットのスパッタパワーを変化させることで、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中の Si, C 濃度を Si_{0.12}C_{0.01}, Si_{0.24}C_{0.01} 及び Si_{0.40}C_{0.02} で調整した。その後、300 °C で 60 分間、大気中において PDA 処理をした。抵抗加熱蒸着を用いて、Au (100 nm)/Ti (10 nm)のソース/ドレイン電極を形成した。最後に 250 °C で 10 分間、O₃ 中で PMA 処理をした。本研究で使用した $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT のチャネル長及び幅は 350 及び 1000 μm である。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の電気特性は暗所下の大気中の室温で半導体パラメーターアナライザーを用いて評価した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT を用いた電気特性では、 I - V 特性の初期特性を評価した。

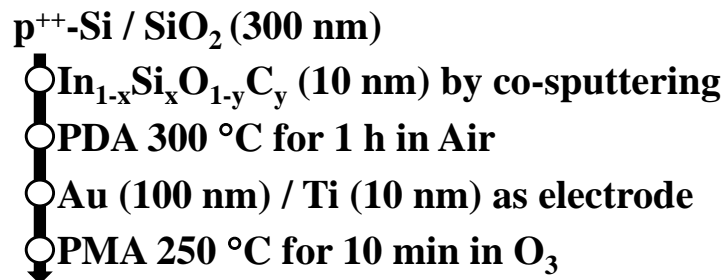


Fig. 5-1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製フロー

5.3 実験結果及び考察

5.3.1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の $I_d\text{-}V_g$ 特性及び $I_d\text{-}V_d$ 特性

Fig. 5-2 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の電気特性を示す。測定環境は大気中、室温の暗所で行った。Fig. 5-2 (a)-(c)に示す $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の $I_d\text{-}V_d$ 特性は $V_g = 0\sim 40\text{ V}$ として、 10 V ごとに測定した。 I_d は低い V_d において、線形に増加した。それらの結果は、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜とソース/ドレイン電極間にオーミック接触が一貫して形成されていることを示す。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT は高い V_d において、良好な電流飽和を示した。 I_d の電流飽和の値は Si 濃度の増加にしたがって減少した。

Fig. 5-2 (d)-(f)に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の飽和領域($V_d = 40\text{ V}$)における $I_d\text{-}V_g$ 特性を示す。比較的高い電圧は完全に飽和した領域で TFT の測定に印加されている。Off 電流(I_{off})は 10^{-13} A 以下であり、Si 濃度に依存しない。On 電流(I_{on})は Si 濃度の増加に従って減少した。加えて、立ち上がり電圧(V_{on})は Si 濃度の増加に従って増加した。 V_{on} の値は $\text{Si}_{0.24}\text{C}_{0.01}$ 及び $\text{Si}_{0.40}\text{C}_{0.02}$ で同様の値を示した。

Table 5-1 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ および $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の電気特性の比較表を示す。 μ_{FE} 及び V_{th} については 4.3.4 において後述する。Si 濃度の変化に対して、 $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT より $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の方が V_{on} の変化量が小さかった。これは、酸素かい離エネルギーの高い C をドーピングしたことにより、プロセスマージンが大きく取れたためと考えられる。 $I_{\text{on}}/I_{\text{off}}$ 比に関しては、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT すべての試料が 10^9 オーダーであり、C 添加による影響は認められなかった。SS に関しては $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT よりも $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の方が小さい値を示した。この結果より、式(2-20)より N_s 値を求めた。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の N_s は $10^{11}/\text{cm}^2$ オーダーである。しかし、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT よりも $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の方が小さい値を示している。これは $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜を作製する際に、2元同時スパッタリング法を用いているため、 $\text{In}_{1-x}\text{Si}_x\text{O}$ 膜よりも大きなスパッタダメージが SiO_2 界面に発生しているためと考えられる。このダメージが原因により界面固定電荷が発生して、SS は $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT よりも $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の方が大きな値を示したと考えられる。

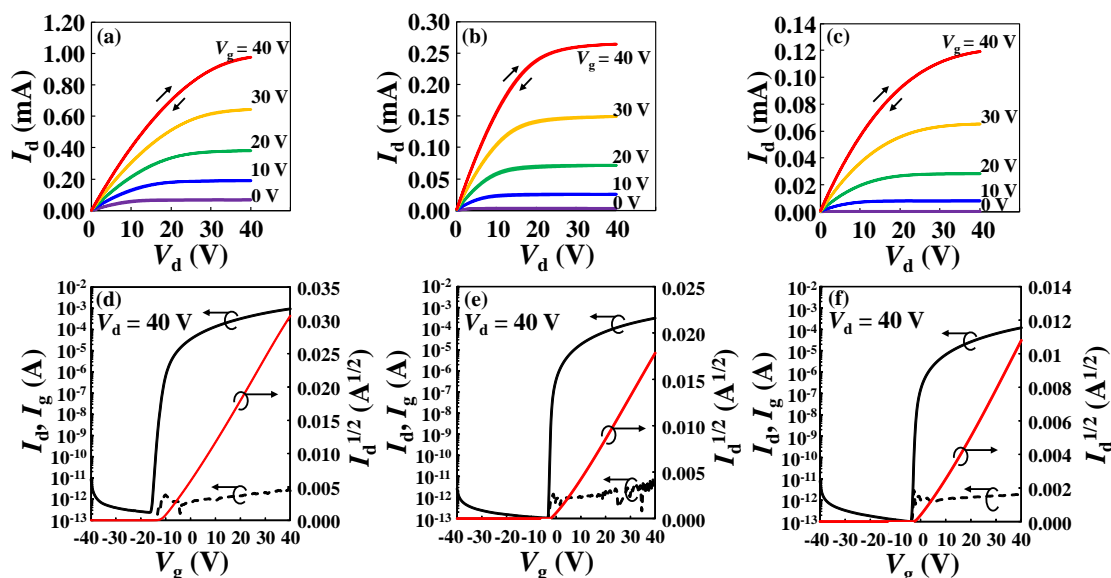


Fig. 5-2 (a) $\text{Si}_{0.12}\text{C}_{0.01}$, (b) $\text{Si}_{0.20}\text{C}_{0.01}$ 及び(c) $\text{Si}_{0.40}\text{C}_{0.02}$ TFT の I_d - V_d 特性及び(d) $\text{Si}_{0.12}\text{C}_{0.01}$, (e) $\text{Si}_{0.20}\text{C}_{0.01}$ 及び(f) $\text{Si}_{0.40}\text{C}_{0.02}$ TFT の I_d - V_g 特性

Table 5-1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}[2]$ TFT の電気特性

Composition	μ_{FE} (cm^2/Vs)	V_{th} (V)	$V_{\text{th hys.}}$ (V)	V_{on} (V)	$I_{\text{on}}/I_{\text{off}}$	SS (V/dec)	N_s ($/\text{cm}^2$)
$\text{Si}_{0.12}\text{C}_{0.01}$	32.4	-9.2	2.10	-15.5	4.0×10^9	0.63	7.03×10^{11}
$\text{Si}_{0.24}\text{C}_{0.01}$	17.2	1.5	0.61	-3.2	3.0×10^9	0.24	2.30×10^{11}
$\text{Si}_{0.40}\text{C}_{0.02}$	7.5	2.4	0.82	-3.7	1.2×10^9	0.33	3.37×10^{11}
$\text{In}_{0.86}\text{Si}_{0.14}\text{O}$	31.2	-57.7		-85.0		0.48	2.50×10^{11}
$\text{In}_{0.78}\text{Si}_{0.22}\text{O}$	17.7	-7.8		-20.0		0.21	1.87×10^{11}
$\text{In}_{0.58}\text{Si}_{0.42}\text{O}$	7.4	9.7	< 0.1	0.2	$\sim 10^8$	0.13	1.08×10^{11}

5.3.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の電子移動度及び閾値電圧

Fig. 5-3 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の μ_{FE} の Si 濃度依存性を示す。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の μ_{FE} は Si 濃度の増加に従って減少した。 μ_{FE} 値の変化はほとんど観測されず、C の影響はほとんど現れていない。 $\text{Si}_{0.12}\text{C}_{0.01}$ 及び $\text{Si}_{0.24}\text{C}_{0.01}$ を比較すると同様の C 濃度であり、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{FE} は Si 濃度の影響が支配的であると示唆している。

Fig. 5-4 に $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 及び $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の V_{th} の Si 濃度依存性を示す。 $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の V_{th} の値は 14 から 22 at. % への Si 濃度の増加に従って、著しく正方向にシフトした。一方、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT では Si 濃度の増加に従って、徐々に正方向へシフトした。低 Si 濃度において、 $\text{In}_{0.86}\text{Si}_{0.14}\text{O}$ は V_{th} 大きく負方向へシフトしたが、 $\text{Si}_{0.12}\text{C}_{0.01}$ は非常に小さな V_{th} シフトで抑えられている。 $\text{Si}_{0.12}\text{C}_{0.01}$ 膜中の C 濃度が 0.61 at. % と少ないにもかかわらず

ならず、 V_{th} シフトを大幅に抑制した。 $In_{1-x}Si_xO_{1-y}C_y$ 膜中のCは微量にもかかわらず、プロセスマージンを確保して、 V_{th} の安定化に寄与する。 $In_{1-x}Si_xO_{1-y}C_y$ 及び $In_{1-x}Si_xO$ TFTのSi濃度に関して μ_{FE} はFig. 5-3に示されている通り、同様の挙動を示している。対照的に、 $In_{1-x}Si_xO$ TFTの V_{th} はSi濃度の増加に従って、-57.7から9.7Vへ劇的に増加した。その一方で、 $In_{1-x}Si_xO_{1-y}C_y$ TFTの V_{th} はSi濃度の増加に従って、-9.2から2.4Vへ徐々に増加した。

Table 5-1に示されている通り、 μ_{Hall} 及びキャリア濃度はSi濃度の増加に従って減少した。 μ_{Hall} 及び μ_{FE} の減少はキャリア濃度に関係している。これは、 $In_{1-x}Si_xO_{1-y}C_y$ 膜中のCは強い酸素かい離エネルギーを有するC-O結合の形成によって低いSi濃度において V_{th} に著しい効果を示すことを表す。従って、低いSi濃度の $In_{1-x}Si_xO$ TFTは過剰な V_O を含んでいる。前述したXPS O1sの結果から、 $In_{1-x}Si_xO_{1-y}C_y$ 膜中の強い化学結合のO-C(Si)=Oは V_O を効果的に抑制したため、 V_{th} の値は0Vへ正方向にシフトした。確かに $Si_{0.12}O_{0.01}$ TFTは-9.2Vの V_{th} 及び $32.4\text{ cm}^2/(\text{Vs})$ の高い μ_{FE} と良好なトランジスタ特性を示した。

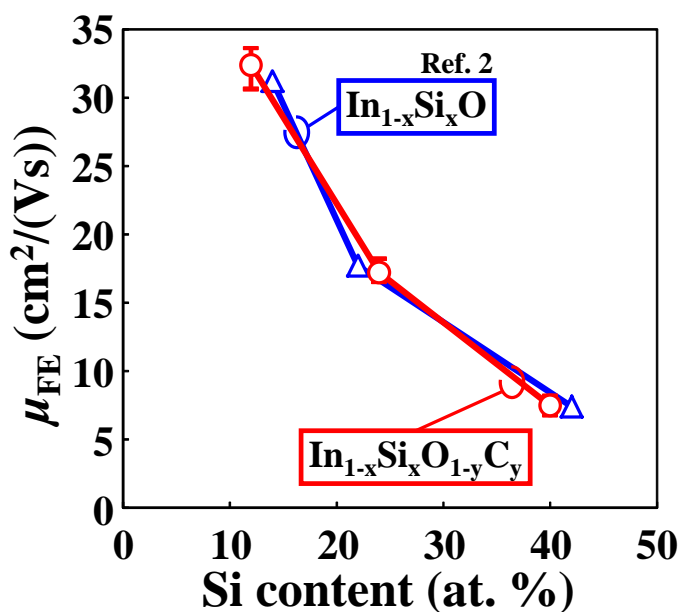


Fig. 5-3 $In_{1-x}Si_xO_{1-y}C_y$ 及び $In_{1-x}Si_xO$ TFT[2]の μ_{FE} のSi濃度依存性

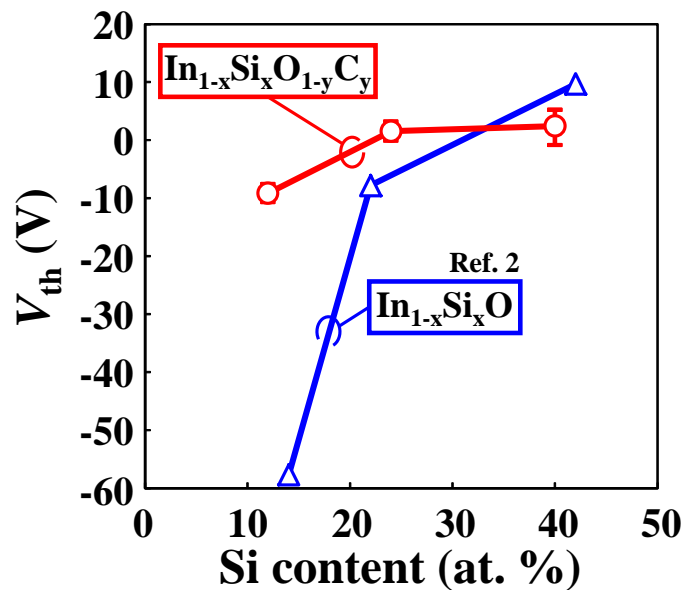


Fig. 5-4 $In_{1-x}Si_xO_{1-y}C_y$ 及び $In_{1-x}Si_xO$ TFT[2]の V_{th} の Si 濃度依存性

5.4 まとめ

本章では $In_{1-x}Si_xO_{1-y}C_y$ TFT の電気特性について議論した。 $In_{1-x}Si_xO_{1-y}C_y$ および $In_{1-x}Si_xO$ TFT の電気特性の比較を行った。 $In_{1-x}Si_xO$ TFT よりも $In_{1-x}Si_xO_{1-y}C_y$ TFT の方が Si 濃度の変化に対して、 V_{on} の変化は小さかった。これは酸素かい離エネルギーの高い C をドーピングしたことによって、プロセスマージンが大きくなったためと考えられる。 $In_{1-x}Si_xO$ TFT よりも $In_{1-x}Si_xO_{1-y}C_y$ TFT の N_S が大きかった。 $In_{1-x}Si_xO_{1-y}C_y$ 膜は 2 元同時スパッタリング法を用いているために、 $In_{1-x}Si_xO$ 膜よりも界面トラップが入りやすいためと考えられる。 N_S の影響により、 SS が $In_{1-x}Si_xO$ TFT よりも $In_{1-x}Si_xO_{1-y}C_y$ TFT の方が大きくなったと考えられる。

$In_{1-x}Si_xO_{1-y}C_y$ 及び $In_{1-x}Si_xO$ TFT の μ_{FE} は Si 濃度の増加に従って減少して、それぞれ同様の値で同様の傾向を得たことから、C の影響はほとんど現れていない。また、 $In_{1-x}Si_xO_{1-y}C_y$ 膜の μ_{FE} は Si 濃度依存が支配的であることが明らかとなった。 $In_{1-x}Si_xO$ TFT の V_{th} は Si 濃度の増加に従って、-57.7 から 9.7 V へ劇的に増加した。一方で、 $In_{1-x}Si_xO_{1-y}C_y$ TFT の V_{th} は Si 濃度の増加に従って、-9.2 から 2.4 V へ徐々に増加した。 V_{th} に対する C の効果は低 Si 濃度で著しく現れた。これは $In_{1-x}Si_xO_{1-y}C_y$ 膜中の C が最も高い酸素かい離エネルギーを有する強い C-O 結合により、低 Si 濃度における V_{th} に著しく効果を発揮したことを示す。確かに、 V_0 量は C 濃度の増加に従って、著しく減少した。 $Si_{0.12}O_{0.01}$ TFT は -9.2 V の V_{th} 及び $32.4 \text{ cm}^2/(\text{Vs})$ の高い μ_{FE} と優れたトランジスタ特性を示した。

参考文献

- [1] S. Aikawa, T. Nabatame, and K. Tsukagoshi, Appl. Phys. Lett. **103**, 172105 (2013).
- [2] N. Mitoma, S. Aikawa, X. Gao, T. Kizu, M. Shimizu, M.-F. Lin, T. Nabatame, and K. Tsukagoshi, Appl. Phys. Lett. **104**, 102103 (2014).

第6章 High- k / $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル界面と電気特性の関係

6.1 はじめに

In系金属酸化物をチャンネル材料に用いたTFTにおいて、我々は、High- k (HK)材料として Al_2O_3 をゲート絶縁膜として用いたGa-In-Zn-O TFTのトランジスタ特性で、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 界面のダイポール及び固定電荷によって閾値電圧(V_{th})が正方向へシフトすること及び μ_{FE} が10%程度低下することを報告した[1]。また、前章において $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネルを用いた SiO_2 絶縁膜TFTのトランジスタ特性を議論した。そこで、HK絶縁膜を用いたHK/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル界面とトランジスタ特性の関係に注目した。HK絶縁膜には、プロセス温度 300°C でアモルファス構造を維持して誘電率 k 値の異なる Al_2O_3 、 $\text{Hf}_x\text{Zr}_{1-x}\text{O}$ (HZO)及び $(\text{Ta}/\text{Nb})\text{O}_x$ (TNO)を選択した。Fig. 6-1に示されている通り、これらのHK絶縁膜は $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜よりも広いバンドギャップを有する。そして、イオン結合酸化物であるGIZO膜とHKゲート絶縁膜間のイオン結合同士の界面は、GIZOと共有結合の SiO_2 間のイオン結合/共有結合の界面よりも低い欠陥が期待できる[2]。本章では、原子層堆積(ALD)法で作製したイオン性の異なる Al_2O_3 、HZO及びTNO膜をゲート絶縁膜に用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTを 300°C 以下のプロセス温度で作製して、HK/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル界面がトランジスタ特性に及ぼす影響について議論した。また、バックゲート型及びボトムゲート型のTFT形状の違いによるゲート電極/ゲート絶縁膜界面の浮遊容量が電気特性に与える影響についても議論した。

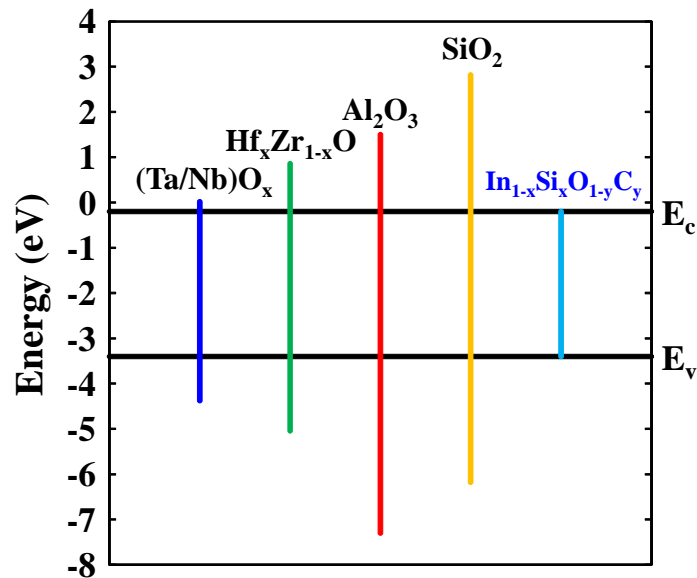


Fig. 6-1 HK材料及び $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ のバンドギャップ

6.2 HK/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製及び評価手法

Fig. 6-2 にバックゲート型 HK/ $\text{Si}_{0.24}\text{C}_{0.01}$ TFT の作製フローを示す。p⁺⁺-Si/ SiO_2 (250 nm) 膜上に、膜厚 5 nm のアモルファスな Al_2O_3 , HZO 及び TNO 混合膜を成長温度 300 °C の ALD 法で成膜した。特に均一膜を形成するために、HZO 及び TNO 混合膜は各々 (Hf/Zr)[N(C₂H₅)CH₃]₄ (Hf/Zr = 1:1) 及び Ta(NtAm)(NMe₂)₃/Nb (NtAm)(NMe₂)₃ (Ta/Nb = 1:1) のカクテル原料を用いた。成膜後、300 °C で 60 sec, O₂ 中アニール処理をした。チャンネル材料には前章において、低閾値電圧で高電子移動度な $\text{Si}_{0.24}\text{C}_{0.01}$ 膜を採用して、室温で 10 nm 成膜した。その後、300 °C で大気中において 1 時間、PDA 処理をした。抵抗加熱蒸着を用いて、Au (100 nm)/Ti (10 nm) のソース/ドレイン電極を形成後、250 °C で O₃ 中において 10 分間、PMA 処理をして HK/ $\text{Si}_{0.24}\text{C}_{0.01}$ TFT を作製した。

Fig. 6-3 にボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の作製フローを示す。リフトオフプロセスによりパターニングされた Pt ゲート電極上に、膜厚 30 nm の Al_2O_3 ゲート絶縁膜を成長温度 300 °C の ALD 法で成膜した。成膜後、ゲート電極部分の Al_2O_3 ゲート絶縁膜を除去するためにドライエッチングプロセスを用いた。使用ガスは CHF₃, Cl₂, BCl₃ を用いてエッチングをした。300 °C で 60 sec, O₂ 中アニール処理をした。2 元同時スパッタリング法で $\text{Si}_{0.24}\text{C}_{0.01}$ 膜を室温で 10 nm 成膜した。その後、300 °C で大気中において 1 時間、PDA 処理をした。抵抗加熱蒸着を用いて、Au (100 nm)/Ti (10 nm) のソース/ドレイン電極を形成後、250 °C で O₃ 中において 10 分間、PMA 処理をしてボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT を作製した。バックゲート型 HK/ $\text{Si}_{0.24}\text{C}_{0.01}$ TFT 及びボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の電気特性は暗所下の大気中の室温で半導体パラメーターアナライザーを用いて評価した。

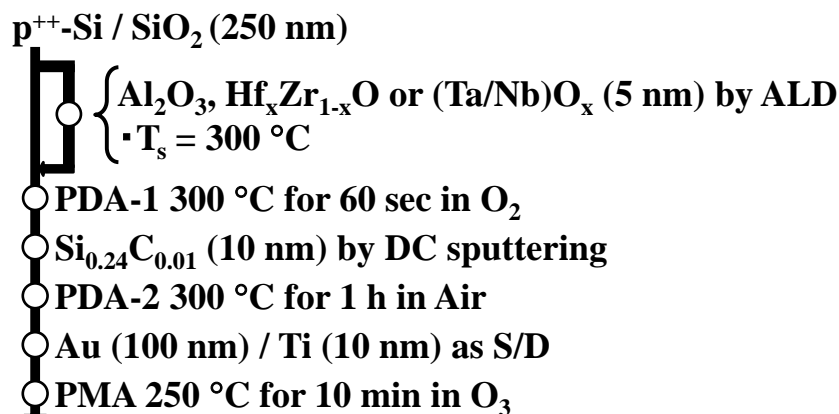


Fig. 6-2 バックゲート型 HK/ $\text{Si}_{0.24}\text{C}_{0.01}$ TFT の作製フロー

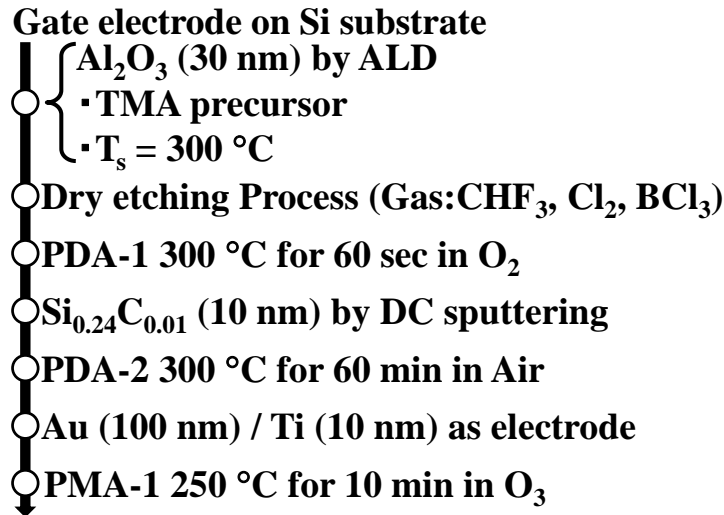


Fig. 6-3 ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の作製フロー

6.3 実験結果及び考察

6.3.1 バックゲート型 $\text{HK}/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の特性評価

Fig. 6-4 に SiO_2 単膜及び $\text{HK}/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の I_d - V_g 特性を示す。 SiO_2 単膜の場合に比べて、 HK/SiO_2 膜の V_{th} は正方向へシフトすること及び SS が向上することが分かった。この結果は、 $\text{HK}/\text{Si}_{0.24}\text{C}_{0.01}$ チャンネル界面が V_{th} 及び SS 特性と密接な関係があることを示唆している。

Table 6-1 に SiO_2 単膜及び $\text{HK}/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の電気特性を示す。 μ_{FE} は SiO_2 単膜で $26.0\text{ cm}^2/(\text{Vs})$ であり、 HZO/SiO_2 で $19.0\text{ cm}^2/(\text{Vs})$ 及び TNO/SiO_2 で $20.4\text{ cm}^2/(\text{Vs})$ と減少したが、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ の μ_{FE} は $24.5\text{ cm}^2/(\text{Vs})$ を示し SiO_2 単膜と同様の値を示した。 V_{th} は SiO_2 単膜で -12.2 V であり、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ で -7.9 V 、 HZO/SiO_2 で -6.5 V 及び TNO/SiO_2 で -6.5 V と SiO_2 単膜と比較して正方向にシフトした。これは、 SiO_2/HK 界面の固定電荷の生成によるものと考えられる。 SiO_2/HK 界面には正の固定電荷が生成することが報告されており[3]、その値は、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 、 HZO/SiO_2 及び TNO/SiO_2 で、それぞれ 3.2×10^{12} 、 1.1×10^{13} 及び $1.3 \times 10^{13}\text{ /cm}^2$ であった。 SS は SiO_2 単膜で 0.70 V/dec であり、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ で 0.42 V/dec 、 HZO/SiO_2 で 0.49 V/dec 及び TNO/SiO_2 で 0.44 V/dec とそれぞれ SiO_2 単膜よりも改善の傾向にあった。イオン結合である HK 膜を用いることにより、 $\text{HK}/\text{Si}_{0.24}\text{C}_{0.01}$ チャンネル界面の欠陥が低減されたからと考えられる。確かに、式(2-21)から算出した N_s は SiO_2 単膜、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ 、 HZO/SiO_2 及び TNO/SiO_2 で、それぞれ 7.9×10^{11} 、 4.5×10^{11} 、 5.3×10^{11} 及び $4.7 \times 10^{11}\text{ /cm}^2$ であった。全ての HK 膜において SiO_2 単膜の値よりも小さく、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ が最も小さかった。ここで SiO_2 、 Al_2O_3 、 HZO 及び TNO の k 値はそれぞれ 3.9、9.0、24 及び 26 である[4, 5]。以上の結果より、 μ_{FE} は SiO_2 単膜と同様の値で、 V_{th} が低電圧側へシフ

トし、SS が向上した Al₂O₃ ゲート絶縁膜に注目した。また、スパッタリング法で成膜した HK ゲート絶縁膜と比較すると、SS は Al₂O₃, HfO₂, Ta₂O₅ 及び ZrO₂ で、それぞれ 0.20, 0.16, 0.15 及び 0.13 V/dec であった[6]。SS は本研究で用いた HK ゲート絶縁膜よりも小さい値を示したが、N_S は Al₂O₃, HfO₂, Ta₂O₅ 及び ZrO₂ で、それぞれ 1.0×10¹², 1.5×10¹², 1.5×10¹² 及び 1.2×10¹² /cm² であり、本研究で用いた HK ゲート絶縁膜よりも大きな固定電荷を有することが明らかになった[6]。更に Al₂O₃, HfO₂, Ta₂O₅ 及び ZrO₂ の膜中固定電荷 (Q_{ox}) はそれぞれ 7.0×10¹¹, 1.8×10¹², 8.9×10¹¹ 及び 1.9×10¹¹ /cm² と報告されている[6]。一方、本研究で用いた HK ゲート絶縁膜の Q_{ox} は無視できるほど小さい[4, 5]。これは、SiO₂ 単膜は自然酸化膜の良好な膜質を有しており、その他の HK 膜は ALD 法による成膜で、良質なゲート絶縁膜を形成したからと考えられる。

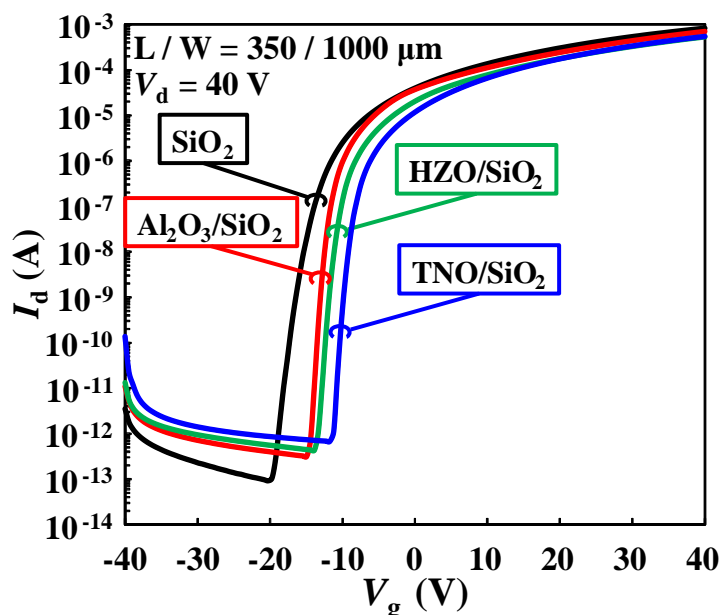


Fig. 6-4 SiO₂ 単膜及び HK/Si_{0.24}C_{0.01} TFT の I_d-V_g 特性

Table 6-1 SiO₂ 単膜及び HK/Si_{0.24}C_{0.01} TFT の初期特性

絶縁膜	μ_{FE} (cm ² /(Vs))	V _{th} (V)	SS (V/dec)	k value	N _S (/cm ²)
SiO ₂ 単膜	26.0	-12.2	0.70	3.9	7.9×10 ¹¹
Al ₂ O ₃ /SiO ₂	24.5	-7.9	0.42	9.0 [4]	4.5×10 ¹¹
HZO/SiO ₂	19.0	-6.5	0.49	24.0 [5]	5.3×10 ¹¹
TNO/SiO ₂	20.4	-6.6	0.44	26.0 [4]	4.7×10 ¹¹

6.3.2 TFT 形状の違いによる電気特性の変化

Fig. 6-5 に (a) ボトムゲート型 Al₂O₃/Si_{0.24}C_{0.01} TFT 及び (b) バックゲート型 SiO₂/Al₂O₃/Si_{0.24}C_{0.01} TFT の I_d-V_g 特性を示す。ボトムゲート型 Al₂O₃/Si_{0.24}C_{0.01} TFT の V_{on}

はバックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT と比較して低電圧側へシフトした。

Table 6-2 にボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT 及びバックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の電気特性を示す。ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT はバックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT と比較して V_{th} は低電圧側へシフトして、SS は大幅に向上した。これは、 Al_2O_3 単膜のゲート絶縁膜により、 $\text{SiO}_2/\text{Al}_2\text{O}_3$ 界面の固定電荷及びダイポール成分含まれないためと考えられる。また、Fig. 6-6 (a)に示すようなバックゲート全体のゲート電極/ゲート絶縁膜界面に存在する浮遊容量が原因の 1 つであると考えられる。Fig. 6-6 (b) に示すようなボトムゲート型は TFT 毎にゲートが存在するため、浮遊容量は非常に少なく特性の向上に寄与すると考えられる。

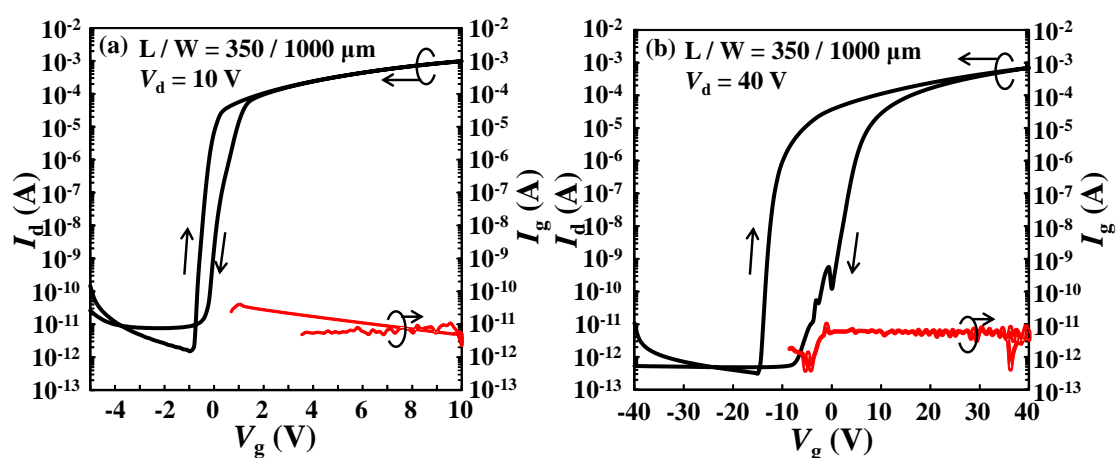


Fig. 6-5 (a) ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT 及び(b) バックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の I_d - V_g 特性

Table 6-2 バックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT 及びボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の初期特性

絶縁膜	TFTの形状	μ_{FE} ($\text{cm}^2/(\text{Vs})$)	SS (mV/dec)	V_{th} (V)	V_{th} hys. (V)	I_{on}/I_{off}
Al_2O_3 単膜	ボトムゲート型	15.2	88.5	-0.3	0.4	6.4×10^8
$\text{Al}_2\text{O}_3/\text{SiO}_2$	バックゲート型	24.5	423.9	-7.9	8.5	2.2×10^9

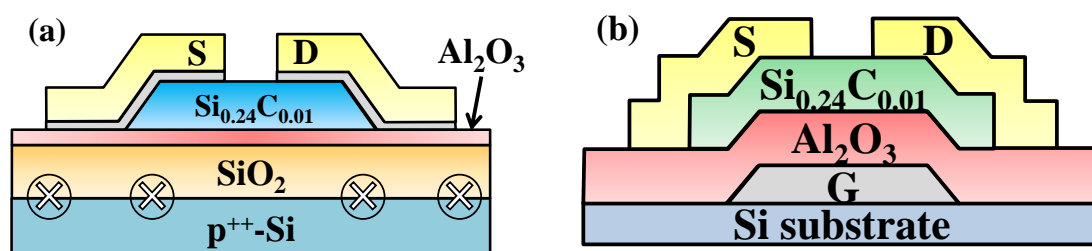


Fig. 6-6 (a)バックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT 及び (b) ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT のゲート電極/絶縁膜界面における浮遊容量

6.4 まとめ

本章ではALD法で作製したHK膜をゲート絶縁膜に用いた $\text{Si}_{0.24}\text{C}_{0.01}$ TFTを $300\text{ }^\circ\text{C}$ 以下のプロセス温度で作製して、HK/ $\text{Si}_{0.24}\text{C}_{0.01}$ チャンネル界面がトランジスタ特性に及ぼす影響について議論した。また、TFT形状が電気特性及びバイアスストレス特性に与える影響についても議論した。HKゲート絶縁膜として注目した $\text{Al}_2\text{O}_3/\text{SiO}_2$ 膜の V_{th} は SiO_2 単膜の場合に比べて -12.2 V から -7.9 V へ正方向にシフトして、SSが 0.70 V/dec から 0.42 V/dec へ向上した。また、 μ_{FE} は SiO_2 単膜で $26.0\text{ cm}^2/(\text{Vs})$ であり、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ の μ_{FE} は $24.5\text{ cm}^2/(\text{Vs})$ と同様の値を示した。

TFTの形状に関しては、ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFTはゲート電極/ゲート絶縁膜界面の浮遊容量の大幅な軽減により、バックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFTと比較して V_{th} は低電圧側へシフトして、SSは大幅に向上した。

参考文献

- [1] K. Kurishima, T. Nabatame, M. Shimizu, N. Mitoma, T. Kizu, S. Aikawa, K. Tsukagoshi, A. Ohi, T. Chikyow, and A. Ogura, *J. Vac. Sci. Technol. A* **33**, 061506 (2015).
- [2] R. Martins, P. Barquinha, L. Pereira, I. Ferreira, and E. Fortunato, *Appl. Phys. A* **89**,1 (2007).
- [3] T. Nabatame, M. Kimura, K. Yuge, M. Inoue, N. Ikeda, T. Ohishi, and A. Ohi, *Vac. Surf. Sci.*, **61**, 5 (2018).
- [4] T. Nabatame, A. Ohi, K. Ito, M. Takahashi, and T. Chikyow, *J. Vac. Sci. Technol. A* **33**, 01A118 (2014).
- [5] T. Onaya, T. Nabatame, N. Sawamoto, K. Kurishima, A. Ohi, N. Ikeda, T. Nagata, and A. Ogura, *ECS Trans.*, **86**, 31 (2018).
- [6] I.-K. Lee, S.-W. Lee, J.-G. Gu, K.-S. Kim, and W.-J. Cho, *Jpn. J. Appl. Phys.* **52**, 06GE05 (2013).

第7章 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の信頼性評価

7.1 はじめに

In 系金属酸化物をチャネル材料に用いた TFT では、In-O の酸素かい離エネルギーが小さいために V_0 を容易に生成して、結果としてストレス特性を劣化させる課題がある。これまでに、我々は、信頼性評価において V_{th} シフトはチャネル膜の V_0 が大きく影響すると考え、高い酸素かい離エネルギーを有する C-O(1076 kJ/mol)に注目して、 $\text{In}_{1-x}\text{Si}_x\text{O}$ 膜に C をドーピングした $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜をチャネルとして用いた酸化物 TFT を作製して、4 章でその初期特性を報告した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネルにおいて、 V_{th} シフトの要因を明らかにすることは、信頼性向上のためにも必要不可欠である。本章では、前章の結果より、良好な初期特性を得られた Al_2O_3 ゲート絶縁膜に用いた $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT を作製した。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル膜に対して、負バイアスストレス(Negative gate bias stress : NBS), 負バイアス光ストレス(Negative gate bias stress : NBIS)及び正バイアスストレス(Positive gate bias stress : PBS)特性を測定して、 V_{th} シフトの要因をエネルギーバンド図から各成分に分けて詳細に議論した。

7.2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の作製及び評価手法

Fig. 7-1 に $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の作製フローを示す。リフトオフプロセスによりパターンニングされた Pt ゲート電極上に、膜厚 30 nm の Al_2O_3 ゲート絶縁膜を成長温度 300 °C の ALD 法で成膜した。成膜後、ゲート電極部分の Al_2O_3 ゲート絶縁膜を除去するためにドライエッチングプロセスを用いた。使用ガスは CHF_3 , Cl_2 , BCl_3 を用いた。300 °C で 60 sec, O_2 中アニール処理を施した。2 元同時スパッタリング法で $\text{Si}_{0.24}\text{C}_{0.01}$ 膜を室温で 10 nm 成膜した。その後、300 °C で大気中において 1 時間、PDA 処理を施した。抵抗加熱蒸着を用いて、Au (100 nm)/Ti (10 nm)のソース/ドレイン電極を形成後、250 °C で O_3 中において 10 分間、PMA 処理をしてボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT を作製した。信頼性測定は室温で半導体パラメータアナライザーを用いて評価した。真空中及び大気中において、 $V_g-V_{th} = -1$ V を強度 0.29 mW/cm^2 の白色 LED 光照射下で 3 h 印加して NBIS 及び NBS 測定した。また、真空中及び大気中において、 $V_g-V_{th} = 1$ V で 3 h 印加して PBS 測定した。Table 7-1 にパッシベーション膜の有無及び信頼性測定のスレス条件を示す。本章では、パッシベーション膜無(w/o)について記述する。パッシベーション膜有については第 7 章で記述する。

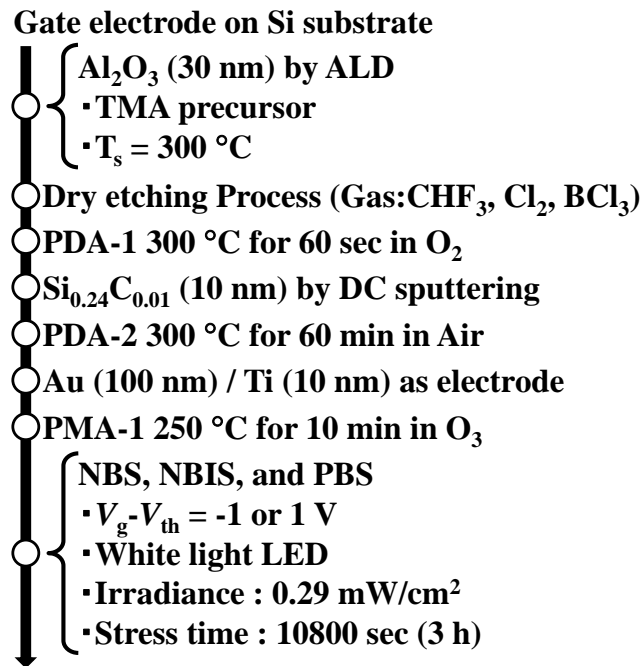


Fig. 7-1 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の作製フロー

Table 7-1 それぞれの $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT のストレス条件

Samples	Passivation	Stress condition	vacuum or air
NBS w/o (vac)	w/o	NBS	vacuum
NBS w/o (air)	w/o	NBS	air
NBIS w/o (vac)	w/o	NBIS	vacuum
NBIS w/o (air)	w/o	NBIS	air
PBS w/o (vac)	w/o	PBS	vacuum
PBS w/o (air)	w/o	PBS	air

7.3 実験結果及び考察

7.3.1 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の負ゲートバイアスストレス(NBS)及び負ゲートバイアス光ストレス(NBIS)特性

Fig. 7-2 に(a) NBS w/o (vac), (b) NBS w/o (air), (c) NBIS w/o (vac)及び(d) NBIS w/o (air) の I_d - V_g 特性を示す。NBS w/o (vac)及び NBS w/o (air)はストレス時間の増加に従って、わずかに負方向にシフトした。NBIS w/o (vac)は NBS w/o (vac)及び NBS w/o (air)に比べてより負方向にシフトした。NBIS w/o (air)は他の試料と比較して最も負方向にシフトした。

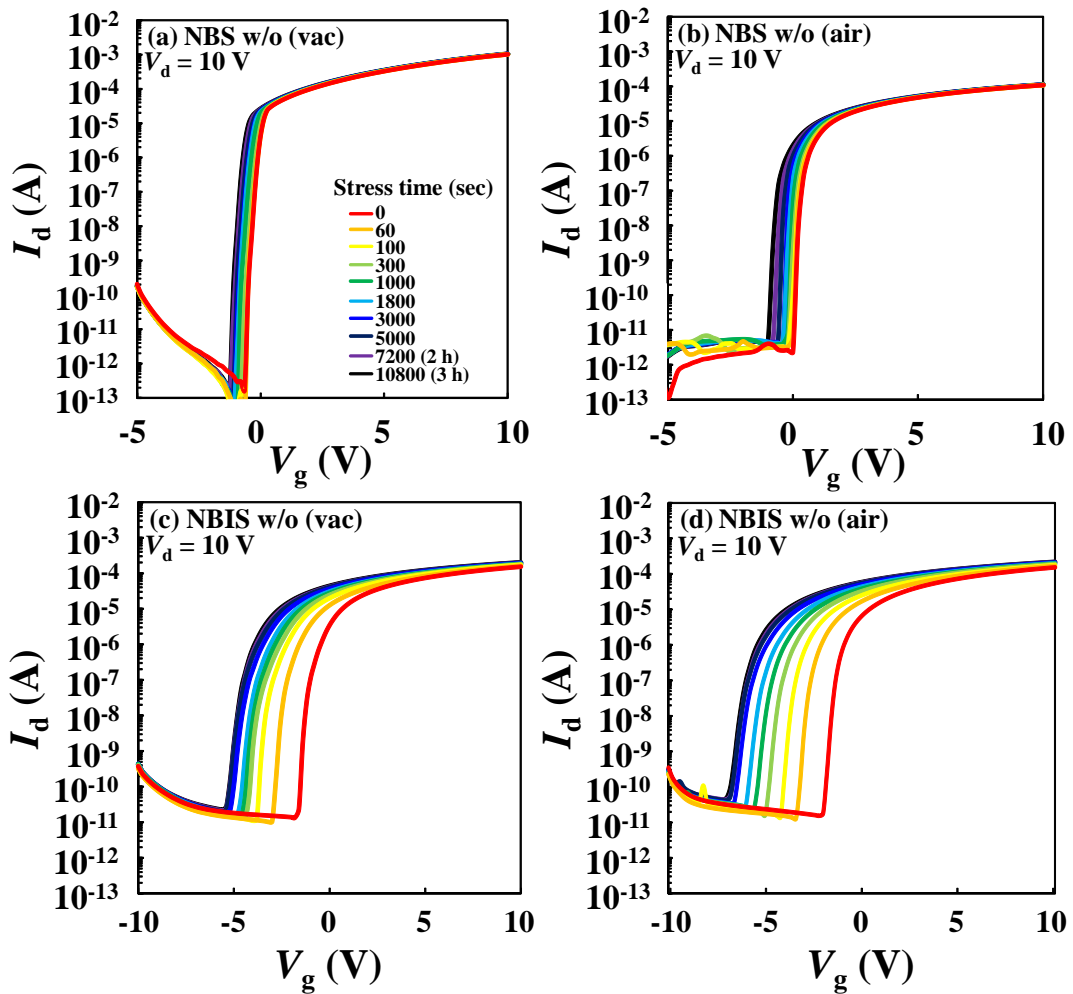


Fig. 7-2 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の(a) NBS w/o (vac), (b) NBS w/o (air), (c) NBIS w/o (vac)及び (d) NBIS w/o (air)の I_d - V_g 特性

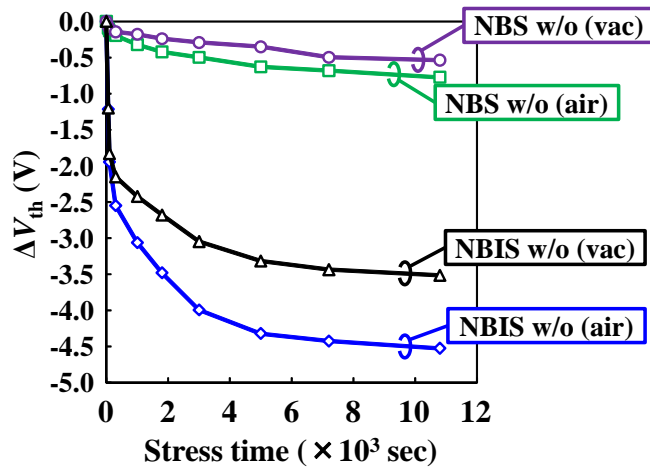
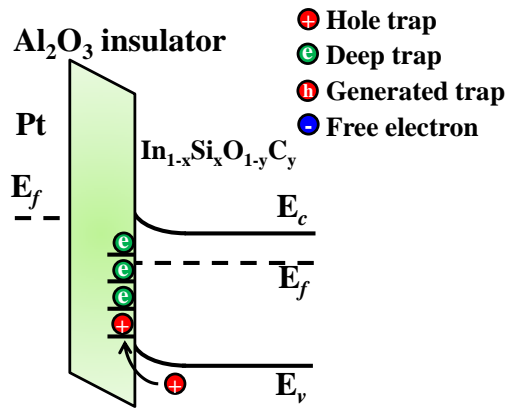
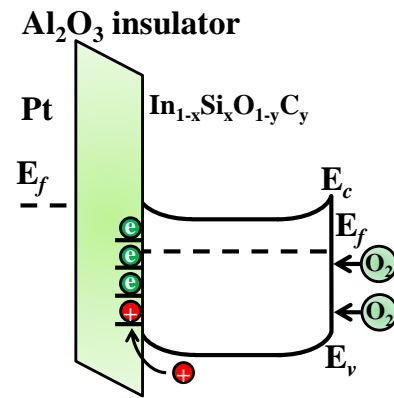


Fig. 7-3 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT のストレス時間に対する NBS 及び NBIS の ΔV_{th}

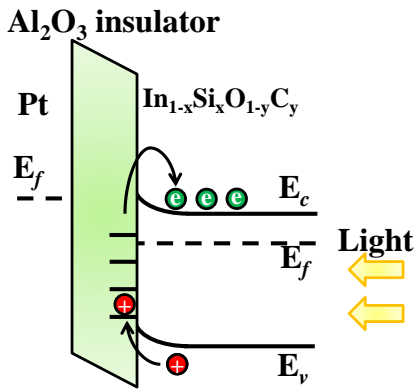
(a) NBS w/o (vac) (hole trap)



(b) NBS w/o (air) (hole trap)



(c) NBIS w/o (vac) (deep trap)



(d) NBIS w/o (air) (generated hole)

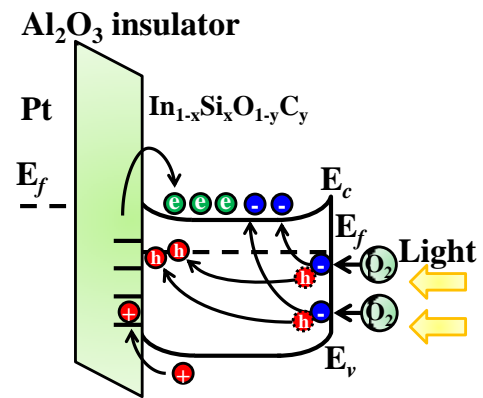


Fig. 7-4 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の(a) NBS w/o (vac), (b) NBS w/o (air), (c) NBIS w/o (vac)及び (d) NBIS w/o (air)に対するホールトラップ、ディープトラップ及び生成されたホール成分の3成分による ΔV_{th} のエネルギーバンド図

Fig. 7-3 にストレス時間に対する NBS 及び NBIS の ΔV_{th} を示す。Fig. 7-4 に、 ΔV_{th} へ及ぼす諸因子をまとめたエネルギーバンド図を示す。真空中の NBS 測定(3 h)で認められた $\Delta V_{\text{th}}(\text{NBS w/o (vac)}) = -0.5 \text{ V}$ は、Fig. 7-4 (a) の $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の価電子帯から $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のトラップサイトへのホール注入によるものである [1]。また、大気中の NBS 測定(3 h)では、 $\Delta V_{\text{th}}(\text{NBS w/o (air)}) = -0.8 \text{ V}$ であり、 $\Delta V_{\text{th}}(\text{NBS w/o (vac)})$ とほぼ同じ値であることから、Fig. 7-4 (b)に示すように、吸着成分による影響はほとんどなく、 $\Delta V_{\text{th}}(\text{NBS w/o (vac)})$ と同様のメカニズムであると考えられる。そして、w/o は真空中の NBIS 測定(3 h)で $\Delta V_{\text{th}}(\text{NBIS w/o (vac)}) = -3.5 \text{ V}$ であった。 $\Delta V_{\text{th}}(\text{NBIS w/o (vac)}) - \Delta V_{\text{th}}(\text{NBS w/o (vac)}) = -3.0 \text{ V}$ であり、Fig. 7-4 (c)から、これは $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のディープトラップが光照射により励起され、伝導帯に解放されたためである[2]。w/o は大気中の NBIS 測定(3 h)で $\Delta V_{\text{th}}(\text{NBIS w/o (air)}) = -4.5 \text{ V}$ であった。 $\Delta V_{\text{th}}(\text{NBIS w/o$

(air)- ΔV_{th} (NBS w/o (vac)) = -4.0 V であり、Fig. 7-4 (d)に示すように O_2 分子が $In_{1-x}Si_xO_{1-y}C_y$ 膜の表面に吸着した後に $In_{1-x}Si_xO_{1-y}C_y$ 膜から自由電子を捕獲した結果、 $O_2 + e \rightarrow O_2^-$ が生成する。そして、自由電子は伝導帯に移動する事で、ホールもまた自由電子と引き換えに生成される。そして、生成されたホールは $In_{1-x}Si_xO_{1-y}C_y$ のフェルミ準位にトラップされ、結果として ΔV_{th} は負方向へシフトする[1, 3]。

以上より、NBIS w/o (air)における ΔV_{th} はホールトラップ、ディープトラップ及び生成されたホールの 3 成分に分類できた。その中でも、 ΔV_{th} (NBIS w/o (vac))- ΔV_{th} (NBS w/o (vac)) = -3.0 V であり、 ΔV_{th} に占める割合は、ディープトラップ成分が最も大きいことが明らかとなった。

GIZO の NBS においては、 $V_g - V_{th} = -30$ V で ΔV_{th} はほとんど変動していない[4]。GIZO はホールトラップ成分の影響をほとんど受けないからと考えられる。GIZO の NBIS においては、 $V_g - V_{th} = 0$ 及び -30 V で光エネルギー別に評価されている。光エネルギーは 1.93 (Red), 2.35 (Green)及び 2.64 (Blue) eV の 3 種類で評価しており、 $V_g - V_{th} = 0$ V において、 ΔV_{th} は Red < Green < Blue の順で大きくなった。Red の ΔV_{th} はほとんど変化せず、GIZO/SiO₂ 界面の浅い部分にトラップが存在しないと考えられる。特に Blue においては、 $\Delta V_{th} = -5$ V 程度であり深い準位に存在するディープトラップ成分の影響が大きいと考えられる[4]。 $In_{1-x}Si_xO_{1-y}C_y$ TFT についても、 $In_{1-x}Si_xO_{1-y}C_y/Al_2O_3$ 界面の浅い部分にトラップはほとんど存在せず、ディープトラップ成分の影響が支配的であると考えられる。 $V_g - V_{th} = -30$ V においても、 ΔV_{th} は Red < Green < Blue の順で大きくなった。また、 $V_g - V_{th} = 0$ V よりもそれぞれの光エネルギーについて ΔV_{th} は大きくなった[4]。これは、光エネルギーの影響とゲートバイアスの影響が加わったからと考えられる。

この結果より、ディープトラップ成分が支配的であることは、In 系金属酸化物の特徴であるかもしれない。そして、ディープトラップ成分の存在位置は、チャンネル/ゲート絶縁膜界面の 2.64 eV 付近であると考えられる。

7.3.2 $In_{1-x}Si_xO_{1-y}C_y$ TFT の正ゲートバイアスストレス(PBS)特性

Fig. 7-5 に (a) PBS w/o (vac), (b) PBS w/o (air)の $I_d - V_g$ 特性を示す。PBS w/o (vac)はストレス時間の増加に従って、わずかに正方向にシフトした。PBS w/o (air)はストレス時間が増加しても変化しなかった。

Fig. 7-6 にストレス時間に対する PBS の ΔV_{th} を示す。Fig. 7-7 に、PBS の ΔV_{th} へ及ぼす要因をまとめたエネルギーバンド図を示す。w/o Al_2O_3 パッシベーションの $In_{1-x}Si_xO_{1-y}C_y$ TFT は真空中の PBS 測定(3 h)で、 ΔV_{th} (PBS w/o (vac)) = 0.3 V であった。このメカニズムは、Fig. 7-7 に示される様に、電子が $In_{1-x}Si_xO_{1-y}C_y$ 膜の伝導帯から $Al_2O_3/In_{1-x}Si_xO_{1-y}C_y$ 界面のトラップサイトに注入される事で、正方向の ΔV_{th} を引き起こしたと考えられる[1]。大気中の PBS 測定(3 h)では ΔV_{th} (PBS w/o (air)) = 0 V であり、伝導帯での電子の移動は認められなかった。

GIZO の PBS に関しては、 $V_g - V_{th} = 10$ V で ΔV_{th} は正方向にシフトした[5]。GIZO の ΔV_{th} は 2.5 V 程度であった。GIZO においても電子トラップの影響を受けると考えられ、 $In_{1-x}Si_xO_{1-y}C_y$ TFT と同様の傾向から、In 系金属酸化物の特徴であると考えられる。GIZO の NBS よりも ΔV_{th} は抑制されることから、電子トラップ成分はホールトラップ成分よりも影響が小さいと考えられる。 $In_{1-x}Si_xO_{1-y}C_y$ TFT は $V_g - V_{th} = 1$ V であるが、GIZO TFT と比較して単純に 1/10 の印加電圧で ΔV_{th} においても約 1/10 ($\Delta V_{th} = 0.3$ V) となった[5]。 $In_{1-x}Si_xO_{1-y}C_y$ TFT は GIZO と同様に電子トラップ成分が小さいチャンネル材料と言える。

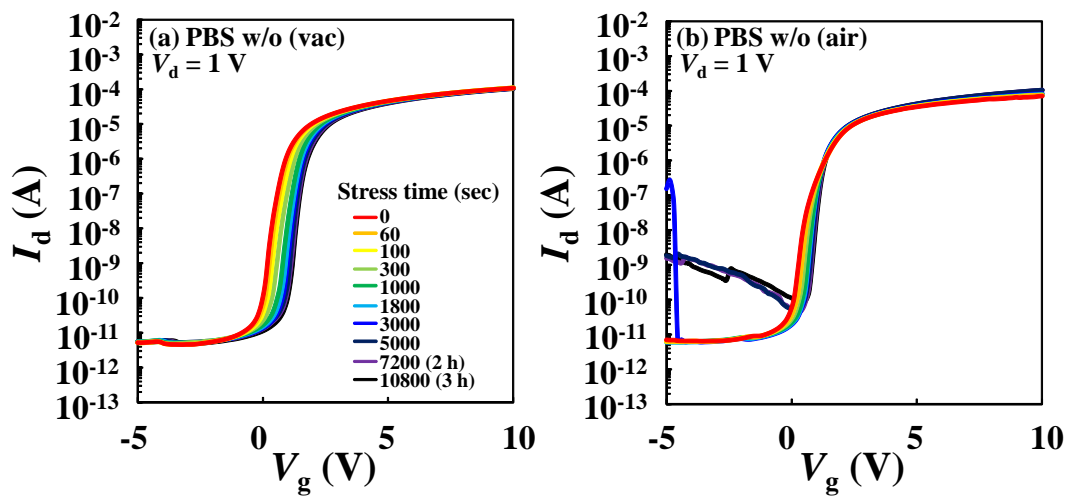


Fig. 7-5 $In_{1-x}Si_xO_{1-y}C_y$ TFT の(a) PBS w/o (vac), (b) PBS w/o (air)の $I_d - V_g$ 特性

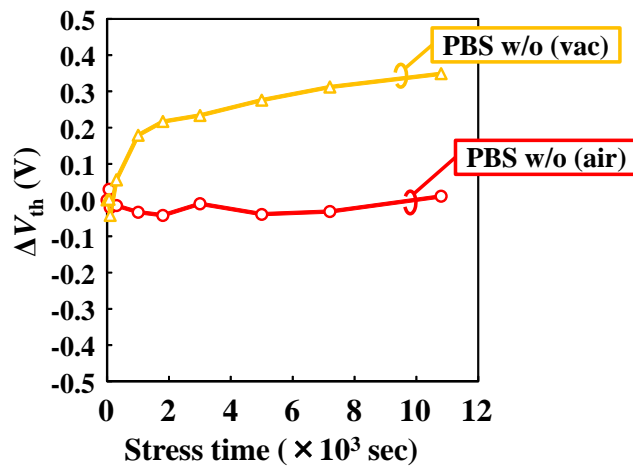


Fig. 7-6 $In_{1-x}Si_xO_{1-y}C_y$ TFT のストレス時間に対する PBS の ΔV_{th}

PBS w/o (vac) (electron trap)

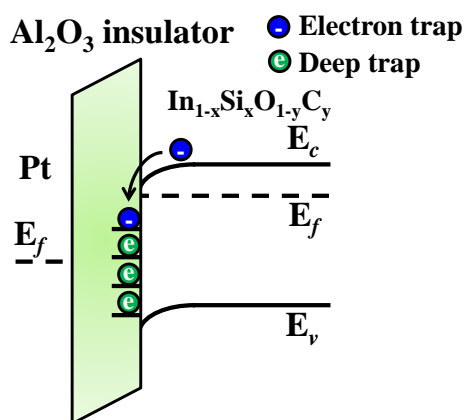


Fig. 7-7 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の PBS w/o (vac) に対する電子トラップによる ΔV_{th} のエネルギーバンド図

7.4 まとめ

本章では、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル膜に対して、NBS, NBIS 及び PBS 特性を測定して、 ΔV_{th} の要因をエネルギーバンド図から各成分に分けて詳細に議論した。ストレス条件は真空中及び大気中において、 $V_g - V_{th} = -1 \text{ V}$ を強度 0.29 mW/cm^2 の光照射下で 3 h 印加して NBIS 及び NBS 測定した。また、真空中及び大気中において、 $V_g - V_{th} = 1 \text{ V}$ を 3 h 印加して PBS 測定した。

NBS 測定において、 ΔV_{th} は真空中及び大気中に関わらず、負方向にシフトした。NBIS 測定の ΔV_{th} は NBS 測定と比較して、光照射によって増加した。真空中の NBS 測定(3 h)では $\Delta V_{th}(\text{NBS w/o (vac)}) = -0.5 \text{ V}$ を示して、大気中の NBS 測定(3 h)では $\Delta V_{th}(\text{NBS w/o (air)}) = -0.8 \text{ V}$ を示した。また、w/o は真空中の NBIS 測定(3 h)で $\Delta V_{th}(\text{NBIS w/o (vac)}) = -3.5 \text{ V}$ であり、w/o は大気中の NBIS 測定(3 h)で $\Delta V_{th}(\text{NBIS w/o (air)}) = -4.5 \text{ V}$ であった。この結果より、ホールトラップ、ディープトラップ及び吸着した O_2 分子から生成されたホール成分の 3 成分に分けることができた。 $\Delta V_{th}(\text{NBS w/o (vac)})$ と $\Delta V_{th}(\text{NBS w/o (air)})$ がほぼ同様の値であることから、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネルは暗所において大気中の吸着成分の影響はほとんどなく、 ΔV_{th} を引き起こすメカニズムは同様で、ホールが $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の価電子帯から $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面へ注入することで発生すると考えられる。 $\Delta V_{th}(\text{NBIS w/o (vac)})$ のメカニズムは $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のディープトラップが光照射により励起され、伝導帯に解放されることで引き起こされる。 $\Delta V_{th}(\text{NBIS w/o (air)})$ においては、それらに加えて、 O_2 分子が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜に吸着して、自由電子とホールが生成され、自由電子は伝導帯に移動して、生成されたホールは $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ のフェルミ準位にトラップされることで ΔV_{th} が負方向へシフトすると考えられる。 $\Delta V_{th}(\text{NBIS w/o (vac)}) - \Delta V_{th}(\text{NBS w/o (vac)}) = -3.0 \text{ V}$ であり、 ΔV_{th} に占める割合は、ディープトラップ成分が最も大きいことが分かった。

PBS w/o (vac)及びPBS w/o (air)の ΔV_{th} はそれぞれ0.3及び0 Vであった。PBS w/o (vac)の ΔV_{th} は、電子が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の伝導帯から $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面の電子トラップへ注入して正方向シフトしたと考えられる。

参考文献

- [1] J. K. Jeong, J. Mater. Res., **28**, 2071 (2013).
- [2] Y. Ueoka, Y. Ishikawa, J. P. Bermundo, H. Yamazaki, S. Urakawa, M. Fujii, M. Horita, , and Y. Uraoka, ECS J. Solid State Sci. Technol. **3** (9) Q3001-Q3004 (2014).
- [3] W-T. Chen, S-Y. Lo, S-C. Kao, H-W. Zan, C-C. Tsai, J-H. Lin, C-H. Fang, and C-C. Lee, IEEE Electron Device Lett., **32**, 1552, Nov (2011).
- [4] S-Y Huang, T-C. Chang, M-C. Chen, T-C. Chen, F-Y. Jian, Y-C. Chen, H-C. Huang, and D-S. Gan, Surf. Coat. Technol., **231**, 117-121 (2013).
- [5] T-Y. Hsieh, T-C. Chang, T-C. Chen, M-Y. Tsai, Y-T. Chen, Y-C. Chung, H-C. Ting, and C-Y. Chen, ECS J. Solid State Sci. Technol. **1** (1) Q6-Q10 (2012).

第 8 章 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の信頼性評価

8.1 はじめに

In 系金属酸化物をチャネル材料に用いた TFT の信頼性評価の一手法として、バイアスストレス測定が用いられる。また、In 系チャネル材料表面に吸着した大気中の O_2 及び H_2O 分子によって低下するデバイス特性を抑制する方法として、 Al_2O_3 パッシベーション膜が提案されている[1, 2]。

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT において、 Al_2O_3 パッシベーション膜を 50°C の低温度で作製した時は、一般的なトランジスタの I_d - V_g 特性を得ることができた。しかし、 Al_2O_3 パッシベーション膜を 250°C で作製すると、 I_d - V_g 特性は I_{off} が取れず、金属化した特性になった (Fig. 8-1)。この結果より、 Al_2O_3 パッシベーション膜を低温度で作製する必要があるが、低温度で作製された Al_2O_3 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT について、信頼性評価を系統的に報告した例はない。そこで本章では、原子層堆積(ALD)法を用いて 50°C の低温度で形成した Al_2O_3 パッシベーション膜を用いたボトムゲート型 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT を作製して、NBIS 及び NBS 測定によるホール・電子トラップ、 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のディープトラップ及び吸着ガスによるホール生成について詳細に議論した。

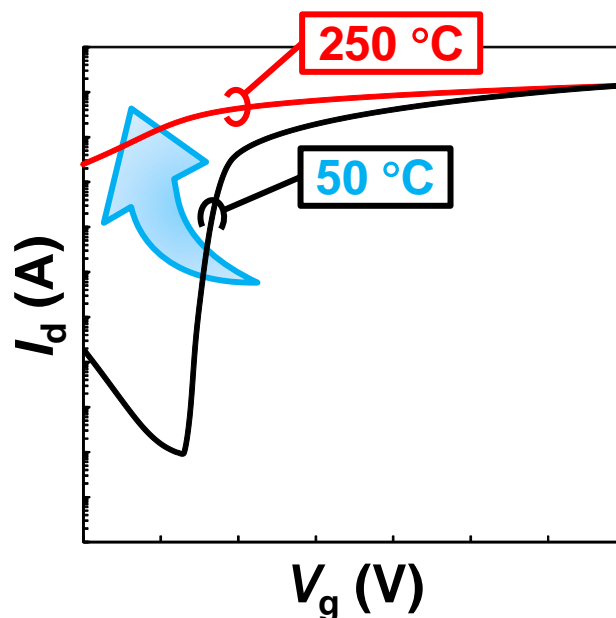


Fig. 8-1 Al_2O_3 パッシベーション膜の成膜温度の違いによる $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の I_d - V_g 特性

8.2 Al₂O₃ パッシベーション膜を用いた In_{1-x}Si_xO_{1-y}C_y TFT の作製及び評価手法

Fig. 8-2 に Al₂O₃ パッシベーション膜を有する In_{1-x}Si_xO_{1-y}C_y TFT の作製フローを示す。リフトオフプロセスによりパターンニングされた Pt ゲート電極上に、膜厚 30 nm の Al₂O₃ ゲート絶縁膜を成長温度 300 °C の ALD 法で成膜した。成膜後、ゲート電極部分の Al₂O₃ ゲート絶縁膜を除去するためにドライエッチングプロセスを用いた。使用ガスは CHF₃, Cl₂, BCl₃ を用いた。300 °C で 60 sec, O₂ 中アニール処理を施した。2 元同時スパッタリング法で Si_{0.24}C_{0.01} 膜を室温で 10 nm 成膜した。その後、300 °C で大気中において 1 時間、PDA 処理を施した。抵抗加熱蒸着を用いて、Au (100 nm)/Ti (10 nm) のソース/ドレイン電極を形成後、250 °C で O₃ 中において 10 分間、PMA 処理をしてボトムゲート型 Al₂O₃/Si_{0.24}C_{0.01} TFT を作製した。最後に、Al₂O₃ パッシベーション膜は、成長温度 50 °C の ALD 法で膜厚を 2 nm (AlO-2) 及び 10 nm (AlO-10) と変えて作製した。信頼性測定は室温で半導体パラメータアナライザーを用いて評価した。大気中において、V_g-V_{th} = -1 V を強度 0.29 mW/cm² の光照射下で 3 h 印加して NBIS 及び NBS 測定した。また、大気中において、V_g-V_{th} = 1 V で 3 h 印加して PBS 測定した。Table 8-1 に Al₂O₃ パッシベーション膜の膜厚及び信頼性測定のスเตรス条件を示す。

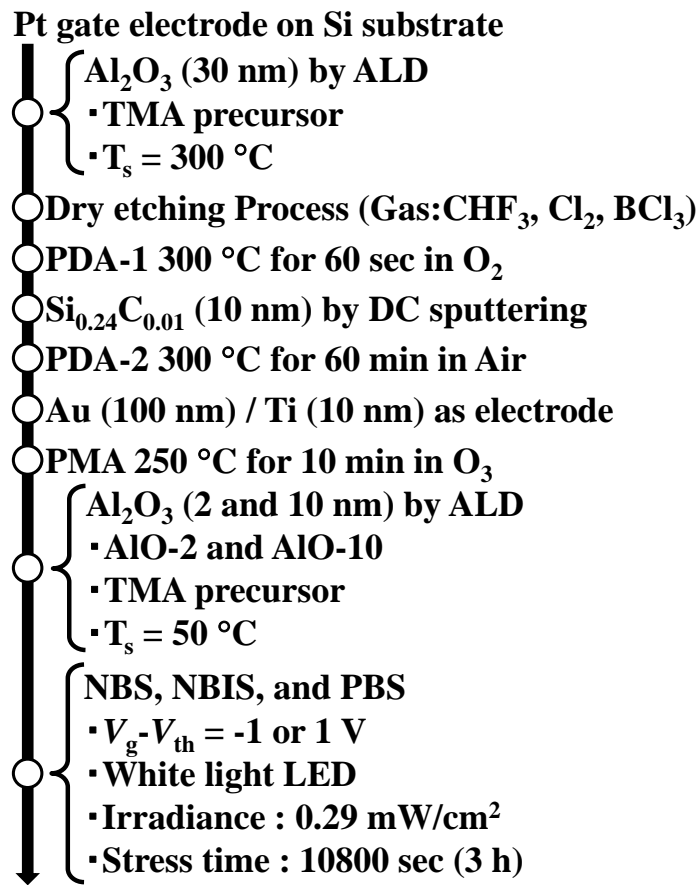


Fig. 8-2 Al₂O₃ パッシベーション膜を有する In_{1-x}Si_xO_{1-y}C_y TFT の作製フロー

Table 8-1 Al₂O₃ パッシベーション膜を用いたそれぞれの Al₂O₃/Si_{0.24}C_{0.01} TFT のストレス条件

Samples	Al ₂ O ₃ passivation	Stress condition	vacuum or air
NBS AIO-2 (air)	AIO-2	NBS	air
NBS AIO-10 (air)	AIO-10	NBS	air
NBIS AIO-2 (air)	AIO-2	NBIS	air
NBIS AIO-10 (air)	AIO-10	NBIS	air
PBS AIO-10 (air)	AIO-10	PBS	air

8.3 実験結果及び考察

8.3.1 Al₂O₃ パッシベーション膜を用いた In_{1-x}Si_xO_{1-y}C_y TFT の TEM 観察

Fig. 8-3 に (a) Al₂O₃ パッシベーション膜無し(w/o)の試料及び(b) Al₂O₃ パッシベーション膜を用いた(AIO-2)試料の TEM 像を示す。Fig. 8-3 (a) w/o と (b) AIO-2 を比較すると、Al₂O₃ パッシベーション膜を成膜しても、反応層の生成は認められなかった。また、どちらの試料も良好な界面を形成していることが明らかである。そして、In_{1-x}Si_xO_{1-y}C_y 膜はアモルファス構造を維持していることが、TEM 像を見ても明らかである。TEM の電子線照射による影響にも耐えて、アモルファス構造を維持している。そのため、強固なアモルファス構造を有する材料であると考えられる。

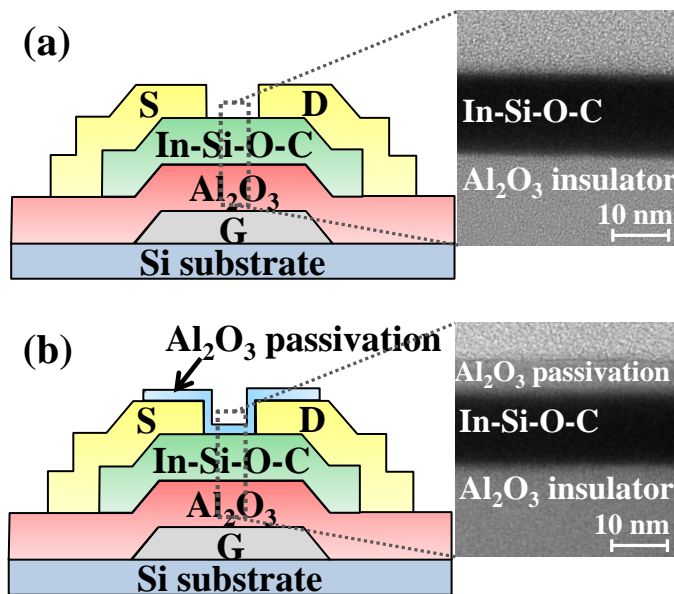


Fig. 8-3 In_{1-x}Si_xO_{1-y}C_y TFT の(a) Al₂O₃ パッシベーション膜無し(w/o)の試料及び(b) Al₂O₃ パッシベーション膜を用いた(AIO-2)試料の TEM 像

8.3.2 Al₂O₃ パッシベーション膜を用いた In_{1-x}Si_xO_{1-y}C_y TFT の初期特性

Fig. 8-4 にパッシベーション膜を用いた In_{1-x}Si_xO_{1-y}C_y TFT の飽和領域 ($V_d = 10$ V) において、室温大気中の暗所で測定された I_d - V_g 特性を示す。Table 8-2 にパッシベーション膜を用いた In_{1-x}Si_xO_{1-y}C_y TFT の初期特性の値を示す。AIO-2 と AIO-10 を比較すると、 V_{th} に関してはほとんど変化が認められなかった。AIO-10 の μ_{FE} は、AIO-2 と比較して 9.4 cm²/(Vs)増加した。これはパッシベーション膜によりチャネル表面の大気中の吸着成分が抑制されたためと考えられる。

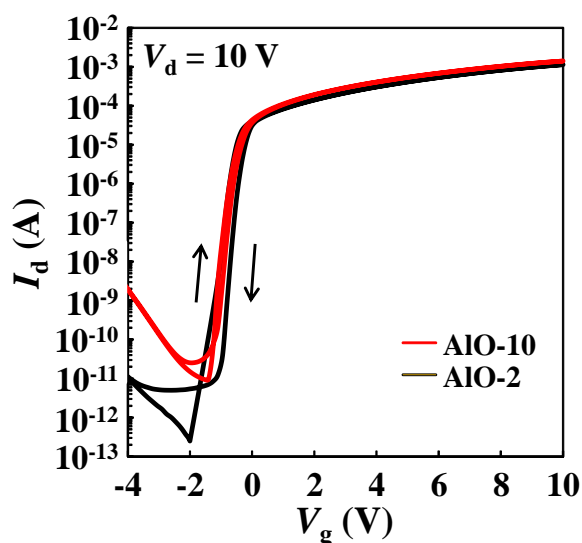


Fig. 8-4 パッシベーション膜 (AIO-2 及び AIO-10) を用いた In_{1-x}Si_xO_{1-y}C_y TFT の I_d - V_g 特性

Table 8-2 パッシベーション膜(AIO-2 及び AIO-10)を用いた In_{1-x}Si_xO_{1-y}C_y TFT の初期特性

	V_{th} (V)	V_{th} hys. (V)	μ_{FE} (cm ² /(Vs))	SS (V/dec)
AIO-2	-0.8	+0.2	15.4	84.0
AIO-10	-0.7	+0.2	24.8	106.9

8.3.3 Al₂O₃ パッシベーション膜を用いた In_{1-x}Si_xO_{1-y}C_y TFT の NBS, NBIS 及び PBS 特性

Fig. 8-5 に(a) NBS AIO-2 (air), (b) NBS AIO-10 (air), (c) NBIS AIO-2 (air), (d) NBIS AIO-10 (air)及び(e) PBS AIO-10 (air)の I_d - V_g 特性を示す。Fig. 8-5 (a) に示す NBS AIO-2 (air)はストレス時間の増加に従って、負方向にシフトした。Fig. 8-5 (b) の NBS AIO-10 (air)はストレス時間の増加に従って負方向にシフトしたが、AIO-2 と比較するとシフト量が抑制された。Fig. 8-5 (c) の NBIS AIO-2 (air)及び (d) の NBIS AIO-10 (air)に示す、 I_d - V_g 特性の負方向シフトは前述の NBIS w/o (air)と比較してシフト量が抑制された。Fig. 8-5 (e) PBS AIO-10 (air)はストレス時間が増加しても変化しなかった。

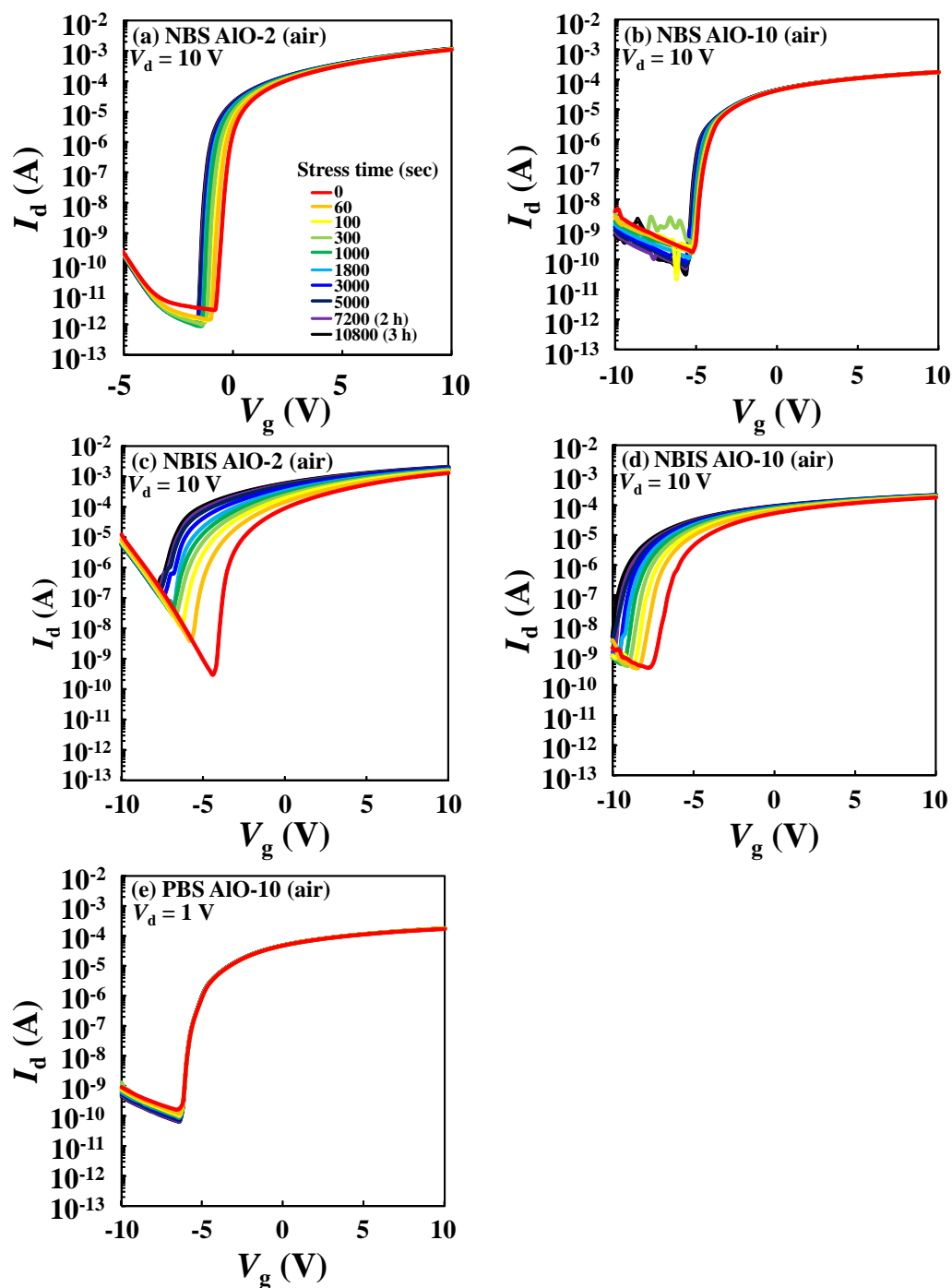


Fig. 8-5 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の(a) NBS AIO-2 (air), (b) NBS AIO-10 (air), (c) NBIS AIO-2 (air), (d) NBIS AIO-10(air)及び(e) PBS AIO-10 (air)の I_d - V_g 特性

Fig. 8-6 に PBS, NBS 及び NBIS の $w/\text{Al}_2\text{O}_3$ パッシベーションを形成した $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT のストレス時間に対する ΔV_{th} を示す。Fig. 8-7 に、 ΔV_{th} へ及ぼす諸因子をまとめたエネルギーバンド図を示す。先ず、AIO-10 で大気中の PBS 測定 ($\Delta V_{th}(\text{PBS AIO-10 (air)})$) は 0 V であり、伝導帯での電子の移動は認められなかった。一方、NBS 測定では、

$\Delta V_{th}(\text{NBS AlO-2 (air)})$ 及び $\Delta V_{th}(\text{NBS AlO-10 (air)})$ は各々-0.9及び-0.7 Vであった。 $\Delta V_{th}(\text{NBS w/o (vac)})$ とほぼ同じ値であるので、Fig. 8-7 (a)に示すように、大気中の吸着成分が Al_2O_3 パッシベーション膜により抑制されたので、 $\Delta V_{th}(\text{NBS w/o (vac)})$ と同様のメカニズムであると考えられる。また、 $\Delta V_{th}(\text{NBIS AlO-2 (air)})$ 及び $\Delta V_{th}(\text{NBIS AlO-10 (air)})$ は各々-3.7及び-3.1 Vであり、 $\Delta V_{th}(\text{NBIS w/o (air)})$ よりも小さな値を示した。これはFig. 7-7 (b)に示すように、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜への O_2 吸着成分が Al_2O_3 パッシベーション膜により抑制されたためと考えられる。

NBSにおいて、パッシベーション膜を用いたGIZO TFTの ΔV_{th} は、パッシベーション膜を除いたGIZO TFTと同様な値であった[2]。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTにおいても同様の傾向を示した。NBSにおいて、チャネル表面の吸着成分の影響はほとんど受けず、ホールトラップ成分が支配的であると考えられる。NBSによる ΔV_{th} の原因は7章にて記述した。

NBISにおいて、パッシベーション膜を用いたGIZO TFTの ΔV_{th} は、パッシベーション膜を除いたGIZO TFTよりも抑制した[2]。 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTにおいても同様の傾向を示し、 Al_2O_3 パッシベーション膜により ΔV_{th} が抑制されたと考えられる。 Al_2O_3 パッシベーション膜を用いた $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTは、 $\Delta V_{th}(\text{NBIS AlO-10 (air)})$ と $\Delta V_{th}(\text{NBIS w/o(vac)})$ が同様の値である。この結果より、AlO-10でほとんどの大気中の吸着成分を抑制したと考えられる。

Al_2O_3 パッシベーション膜厚が増加するに従って、Fig. 8-5の I_d - V_g 特性が負方向にシフトする理由は、 Al_2O_3 パッシベーション膜中及び Al_2O_3 パッシベーション/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面の固定電荷によるものと考えられる[3]。 Al_2O_3 パッシベーション膜中に負の固定電荷が、 Al_2O_3 パッシベーション/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面には正の固定電荷が存在するために、 I_d - V_g 特性が負方向にシフトしたと考えられる。これらは、 Al_2O_3 パッシベーション膜を形成後にアニール処理を行うことで、改善するかもしれない。

パッシベーション膜を用いたデバイス特性の向上が報告されている [4-6]。それらの報告では、1 μm のフォトレジスト及び200 nmの $\text{SiN}_x/\text{Al}_2\text{O}_3$ の二層構造などのパッシベーション層は比較的厚く、200 $^\circ\text{C}$ 以上の高温で作製されている[5, 6]。これらの結果を考慮すると、200 $^\circ\text{C}$ 以上のアニール処理を施すことにより、更なる特性改善が期待される。

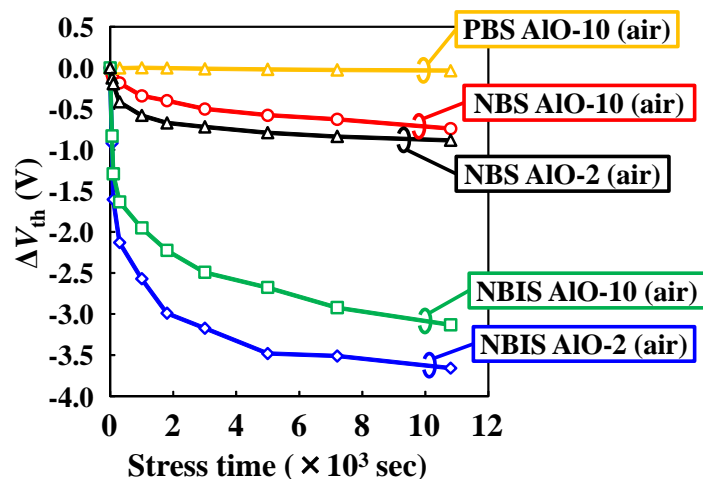


Fig. 8-6 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT のストレス時間に対する Al_2O_3 パッシベーション膜を用いた NBS AIO-2 (air), NBS AIO-10 (air), NBIS AIO-2 (air), NBIS AIO-10 (air) 及び PBS AIO-10 (air) の ΔV_{th}

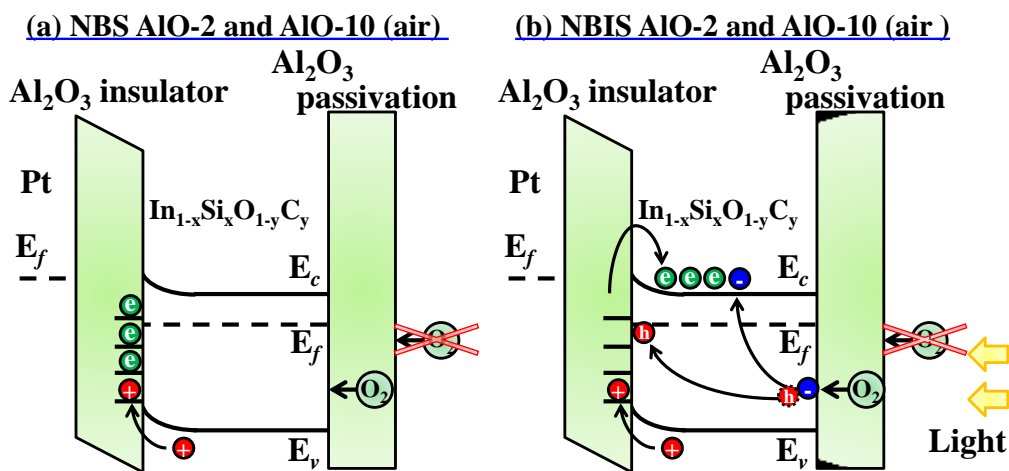


Fig. 8-7 (a) Al_2O_3 パッシベーション膜を用いた NBS の大気中測定及び (b) Al_2O_3 パッシベーション膜を用いた NBIS 大気中測定のエネルギーバンド図

Fig. 8-8 に対数軸のストレス時間 t に対する Al_2O_3 パッシベーション有無の各ストレス条件に対する対数軸の ΔV_{th} を示す。ここで、実線は式 8-(1) を用いた理論値であり、プロットは実験値である。ホールトラッピングモデルによる t 及び ΔV_{th} の関係は以下の式で表される [7, 8]。

$$\Delta V_{th} = \Delta V_{th0} \left[1 - \exp \left\{ - \left(\frac{t}{\tau} \right)^\beta \right\} \right] \quad (1)$$

ここで t はストレス時間、 τ はキャリアトラップ時間及び β は分散指数である。 $\Delta V_{th0} = V_g -$

V_{th0} であり、 V_{th0} はバイアスストレス測定開始時の V_{th} である。すべての試料は良好なフィッティング結果を示しており、負方向の ΔV_{th} はホールによるものが支配的であることを示す。また、NBIS は NBS と比較すると光照射により ΔV_{th} は増加し、2つの傾向が現れた。

Table 8-3 に式 8-(1) から評価された Al_2O_3 パッシベーション有無の各ストレス条件に対するフィッティングパラメーターを示す。全ての試料において、 $\beta = 0.38$ となった。

NBS w/o (vac) において、 ΔV_{th} の原因がホールトラップであると仮定するとホールは $Al_2O_3/In_{1-x}Si_xO_{1-y}C_y$ 界面に集まる。 τ はホールが $In_{1-x}Si_xO_{1-y}C_y$ 膜の価電子帯から $Al_2O_3/In_{1-x}Si_xO_{1-y}C_y$ 界面のトラップサイトに移動する時間として表される。

NBS w/o (air), NBS AIO-2 (air) 及び NBS AIO-10 (air) において同様の ΔV_{th} を示しており、 $In_{1-x}Si_xO_{1-y}C_y$ 膜上の吸着成分の影響はほとんど無いと考えられるので、NBS w/o (vac) の τ と同様にホールが $In_{1-x}Si_xO_{1-y}C_y$ 膜の価電子帯から $Al_2O_3/In_{1-x}Si_xO_{1-y}C_y$ 界面のトラップサイトに移動する時間である。

NBIS w/o (vac) の τ は、ディープトラップが $Al_2O_3/In_{1-x}Si_xO_{1-y}C_y$ 界面から伝導帯へ光照射によって励起されるときの時間である。そして、 $In_{1-x}Si_xO_{1-y}C_y$ 表面の O_2 吸着は大気中の NBIS 測定下において、光照射による自由電子及び生成されたホールに分けられる。生成されたホールは自由電子が伝導帯へ上がる間に $In_{1-x}Si_xO_{1-y}C_y$ のフェルミ準位にトラップされる。NBIS w/o (air) の τ は生成されたホールが $In_{1-x}Si_xO_{1-y}C_y$ のフェルミ準位に移動する間の時間である。評価した NBIS w/o (air) の τ は大気中の NBIS 下でパッシベーション層無しの $SiO_2/GIZO$ TFT の報告された値より 2桁小さい[9]。NBIS AIO-2 及び NBIS AIO-10 (air) の τ は吸着した O_2 により $In_{1-x}Si_xO_{1-y}C_y$ 表面の生成したホールが Al_2O_3 パッシベーション層を通して拡散する時間である。

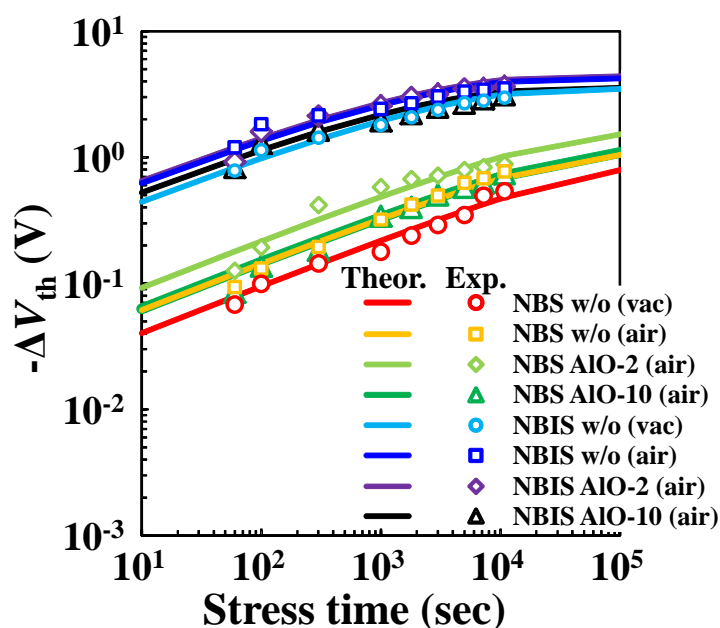


Fig. 8-8 対数軸のストレス時間 t に対する Al_2O_3 パッシベーション有無の各ストレス条件の対数軸の ΔV_{th}

Table 8-3 Al₂O₃ パッシベーション有無の各ストレス条件のフィッティングパラメーター

Samples	τ (sec)	β
NBS w/o (vac)	1.3×10^5	0.38
NBS w/o (air)	6.0×10^4	0.38
NBS AIO-2 (air)	5.0×10^4	0.38
NBS AIO-10 (air)	6.5×10^4	0.38
NBIS w/o (vac)	1500	0.38
NBIS w/o (air)	1500	0.38
NBIS AIO-2 (air)	1500	0.38
NBIS AIO-10 (air)	1500	0.38

Fig. 8-9 にNBIS の大気中測定下において w/o, AIO-2 及び AIO-10 の O₂ 吸着から評価した生成されたホール量を示す。w/o, AIO-2 及び AIO-10 の生成されたホール量はそれぞれ 13.9×10^{12} , 10.9×10^{12} 及び 8.8×10^{12} /cm² であった。AIO-2 及び AIO-10 の生成されたホールは w/o と比較して 22 及び 37 % 減少した。これは 50 °C の低温度で作製される Al₂O₃ パッシベーション膜が In_{1-x}Si_xO_{1-y}C_y チャネル表面上の O₂ 吸着抑制の重要な役割を果たしていることを示す。

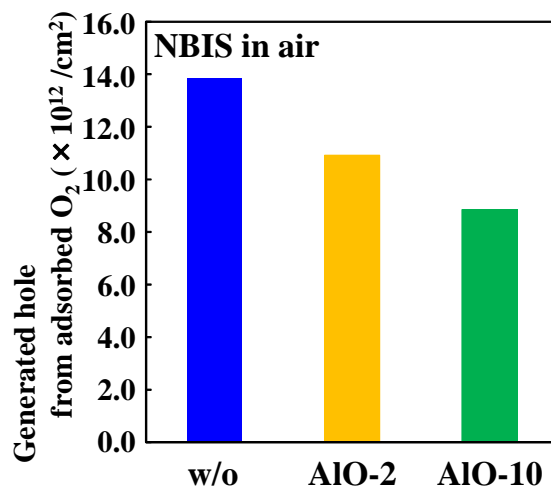


Fig. 8-9 NBIS の大気中測定下において w/o, AIO-2 及び AIO-10 の O₂ 吸着から評価した生成されたホール量

8.4 まとめ

本章では、ALD法を用いて50℃の低温度で作製した Al_2O_3 パッシベーション膜を用いたボトムゲート型 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFTを作製して、NBIS及びNBS測定によるホール・電子トラップ、 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のディープトラップ及び吸着ガスによるホール生成について詳細に議論した。

TEM観察より、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル上に Al_2O_3 パッシベーション膜を成膜しても反応層は無く、各々良好な界面を形成していることが明らかになった。AIO-10を形成することにより、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル表面の吸着成分が抑制されたため、AIO-10の μ_{FE} は、AIO-2と比較して $9.4\text{ cm}^2/(\text{Vs})$ 増加した。NBS AIO-2 (air)及びNBS AIO-10 (air)の ΔV_{th} はそれぞれ-0.9及び-0.7 Vであった。NBIS AIO-2 (air)及びNBIS AIO-10 (air)の ΔV_{th} はそれぞれ-3.7及び-3.1 Vであった。NBIS AIO-10 (air)の ΔV_{th} はNBIS AIO-2 (air)と比較してシフト量は抑制された。PBS AIO-10 (air)の ΔV_{th} は0 Vであった。ディープトラップが $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面から伝導帯へ光照射によって励起されるとき時間、生成されたホールが $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ のフェルミ準位に移動する間の時間及び吸着した O_2 が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 表面の生成したホールが Al_2O_3 パッシベーション層を通して拡散する時間はホールが $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の価電子帯から $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のトラップサイトに移動する時間よりも短い。光照射によって ΔV_{th} を引き起こす影響が極めて短い時間で起きていることを意味している。 Al_2O_3 パッシベーション膜を用いたNBISの大気中測定は、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル表面の O_2 吸着が Al_2O_3 パッシベーション膜のカバーにより著しく抑制された。NBIS AIO-10 (air)の生成されたホールはNBIS w/o (air)と比較して37%減少した。50℃の低温度で作製された Al_2O_3 パッシベーション膜が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル表面上の O_2 吸着を抑制する重要な役割を果たしている。

参考文献

- [1] S.Y. Huang, T.C. Chang, M.C. Chen, S.C. Chen, C.T. Tsai, M.C. Hung, C.H. Tu, C.H. Chen, J.J. Chang, W.L. Liao, *Electrochem. Solid-State Lett.*, **14**, H177 (2011).
- [2] S-Y Huang, T-C. Chang, M-C. Chen, T-C. Chen, F-Y. Jian, Y-C. Chen, H-C. Huang, and D-S. Gan, *Surf. Coat. Technol.*, **231**, 117-121 (2013).
- [3] T. Nabatame, M. Kimura, K. Yuge, M. Inoue, N. Ikeda, T. Ohishi, and A. Ohi, [*VAC. SURF. SCI.* **61**, 280 \(2018\).](#)
- [4] S-H. K. Park, M-K. Ryu, M. Oh, C-S. Hwang, J-H. Jeon and S-M. Yoon, *J. Vac. Sci. Technol. B* **31**, 2 (2013).
- [5] J-M. Lee, I-T. Cho, J-H. Lee, W-S. Cheong, C-S. Hwang, and H-I. Kwon, *Appl. Phys. Lett.* **94**, 222112 (2009).

- [6] W-T. Chen, S-Y. Lo, S-C. Kao, H-W. Zan, C-C. Tsai, J-H. Lin, C-H. Fang, and C-C. Lee, *IEEE Electron Device Lett.*, **32**, 1552, Nov (2011).
- [7] S-Y. Sung, J.H. Choi, U.B. Han, K.C. Lee, J-H. Lee, J-J. Kim, W. Lim, S. J. Pearton, D. P. Norton, and Y-W. Heo, *Appl. Phys. Lett.*, **96**, 102107 (2007).
- [8] F. R. Libsch and J. Kanichi, *Appl. Phys. Lett.*, **62** 1286 (1993).
- [9] M. E. Lopes, H. L. Gomes, M. C.R. Medeiros, P. Barquinha. L. Pereira, E. Fortunato, R. Martins, and I. Ferreira, *Appl. Phys. Lett.*, **95**, 063502 (2009).

第9章 総括

9.1 結論

第1章のまとめ

第1章で述べたように、これまで TFT のチャネル材料として GIZO, In-Ga-O, In-Sn-O 及び In-Zn-O のような In 系金属酸化物を用いた研究が盛んになされている。しかし、In 系金属酸化物チャネル層の電気伝導率及び移動度は、スパッタリング法の Ar/O₂ 分圧の変化に敏感で大きく変動することが知られている。この要因として、Ga-O, In-O 及び Zn-O の酸素かい離エネルギーが小さいために膜中に V_O を容易に生成しやすく制御しづらいためと考えられている。そこで、V_O 生成を制御でき、スパッタリングのプロセスマージンを大きくとれて長期信頼性が高い新たな In 系金属酸化物が要求されている。これまでに、新しいチャネル材料として In-O に微量に酸素かい離エネルギーの高い元素を添加して、In-Ti-O, In-W-O 及び In-Si-O として既に報告がされている。Ti-O は 666 kJ/mol, W-O は 720 kJ/mol 及び Si-O は 799 kJ/mol と高い酸素かい離エネルギーを有している。本論文では酸素かい離エネルギーが高い C-O(1076 kJ/mol)に着目して、新しいチャネル材料として、In-Si-O に C を添加した In-Si-O-C 系を選択した。本研究では、材料合成の観点から In₂O₃ 及び SiC ターゲットを用いた 2 元同時スパッタリング法により、In-Si-O に C をドーピングした In_{1-x}Si_xO_{1-y}C_y をチャネルとする酸化物 TFT を作製した。また、チャネル材料の物理/電気特性の関係だけでなく、TFT 形状及び最適なゲート絶縁膜の選択及び低温度作製された Al₂O₃ パッシベーション膜についても系統的に調べることを目的として研究を行った。

第2章のまとめ

第2章では本研究における In_{1-x}Si_xO_{1-y}C_y 膜を作製するために用いた装置や物理/電気特性を評価するために用いた装置をまとめた。さらに、多元的評価のために用いた様々な作製及び評価手法について述べた。各作製装置、プロセス及び評価について、新規チャネル材料である In_{1-x}Si_xO_{1-y}C_y 膜の物理/電気特性の重要なデータを得るために、有効な手段であることが認識できた。In_{1-x}Si_xO_{1-y}C_y TFT の作製から分析及び評価まで一貫して研究を進めたため、系統的に調査する体制を構築することに繋がった。

第3章のまとめ

第3章では In₂O₃ 及び SiC ターゲットを用いて 2 元同時スパッタリング法で In_{1-x}Si_xO_{1-y}C_y 膜の成膜及び物理特性評価について議論した。In_{1-x}Si_xO_{1-y}C_y 膜は In₂O₃ のスパッタパワーを固定して SiC のスパッタパワーを変化させることで、所定の Si, C 濃度の制御に成功した。In_{1-x}Si_xO_{1-y}C_y 膜は XPS の C 1s ピークから O₃ アニール後においても C ドープができていることが認められ、C ドープ量は 0.55 ~ 0.88 at. % であった。また、In_{1-x}Si_xO_{1-y}C_y 膜中に

において C 周りの結合は、 O_3 アニール前は Si 主体であったが、 O_3 アニール後は O 主体の結合に変化した。 $In_{1-x}Si_xO_{1-y}C_y$ 膜中の V_O は Si, C 濃度の増加に従って、18.9 から 12.9 % へと減少した。高酸素かき離エネルギーを有する Si-O 及び C-O 結合は $In_{1-x}Si_xO_{1-y}C_y$ 膜の In-O 結合からの O 脱離を効果的に抑制したことを示す。また、In は主に In-O 結合を形成しており、Si は効率的に Si-O 結合を形成して O 脱離を防いでいる。XRD の結果から、プロセス温度 300 °C において、 $Si_{0.12}C_{0.01}$ 膜はアモルファス構造から BCC 構造に変化した。が、 $Si_{0.24}C_{0.01}$ 及び $Si_{0.40}C_{0.02}$ 膜については、アモルファス構造を維持していた。 $In_{1-x}Si_xO_{1-y}C_y$ 膜は滑らかな表面を有しており、RMS 値はアモルファスまたは結晶質に関係なく ~ 0.28 nm であった。XAFS の In-K 吸収端の結果より、すべての試料において In-O に由来する第一隣接ピークが認められ、アニール処理後の $Si_{0.12}O_{0.01}$ は結晶化の影響により短秩序性が増加して、In-In に由来する第二近接ピークが認められた。

第 4 章のまとめ

第 4 章ではスパッタリング法で作製した $In_{1-x}Si_xO_{1-y}C_y$ チャンネル材料をホール測定によりホール移動度、キャリア濃度及び電気伝導率について議論した。 $In_{1-x}Si_xO_{1-y}C_y$ 膜のキャリア濃度は $In_{1-x}Si_xO$ 膜よりも 1 桁高かった。 $In_{1-x}Si_xO_{1-y}C_y$ 膜の μ_{Hall} 及びキャリア濃度は Si, C 濃度が高くなるに従って、低下する傾向にあった。また、キャリア濃度が高くなるに従って、 μ_{Hall} が高くなる傾向にあった。この結果より、キャリア濃度と μ_{Hall} には密接な関係があることを示唆している。 $In_{1-x}Si_xO_{1-y}C_y$ 膜の Si, C 濃度の増加に従って μ_{Hall} 及びキャリア濃度が共に低下した原因は、Si 及び C が効率的に O を膜中に取り込み V_O を補償したからである。

$In_{1-x}Si_xO_{1-y}C_y$ 膜の P_{O_2} に対する電気伝導率の変化を他の In 系金属酸化物半導体と比較したところ、 $In_{1-x}Si_xO_{1-y}C_y$ 膜の傾斜は最も緩やかになり、 P_{O_2} に対して電気伝導率の変化が鈍感であることが明らかになった。すなわち、酸素かき離エネルギーの大きな C を添加することにより、プロセスマージンが大きくなったことを意味している。

第 5 章のまとめ

第 5 章では $In_{1-x}Si_xO_{1-y}C_y$ 及び $In_{1-x}Si_xO$ TFT の電気特性の比較を行った。 $In_{1-x}Si_xO$ TFT よりも $In_{1-x}Si_xO_{1-y}C_y$ TFT の方が Si 濃度の変化に対して、 V_{on} の変化は小さかった。これは高酸素かき離エネルギーの C をドーピングしたことによって、プロセスマージンが大きくなったためと考えられる。 $In_{1-x}Si_xO$ TFT よりも $In_{1-x}Si_xO_{1-y}C_y$ TFT の N_S が大きかった。 $In_{1-x}Si_xO_{1-y}C_y$ 膜は 2 元同時スパッタリング法を用いているために、 $In_{1-x}Si_xO$ 膜よりも界面トラップが入りやすいためと考えられる。 N_S の影響により、SS が $In_{1-x}Si_xO$ TFT よりも $In_{1-x}Si_xO_{1-y}C_y$ TFT の方が大きくなったと考えられる。

$In_{1-x}Si_xO_{1-y}C_y$ 及び $In_{1-x}Si_xO$ TFT の μ_{FE} は Si 濃度の増加に従って減少して、それぞれ同様の値で同様の傾向を得たことから、C の影響はほとんど現れていない。また、

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の μ_{FE} は Si 濃度依存が支配的であることが明らかとなった。 $\text{In}_{1-x}\text{Si}_x\text{O}$ TFT の V_{th} は Si 濃度の増加に従って、-57.7 から 9.7 V へ劇的に増加した。一方で、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT の V_{th} は Si 濃度の増加に従って、-9.2 から 2.4 V へ徐々に増加した。 V_{th} に対する C の効果は低 Si 濃度で著しく現れた。これは $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中の C が最も高い酸素かき離エネルギーを有する強い C-O 結合により、低 Si 濃度において V_{th} に著しく効果を発揮したことを示す。確かに、XPS を用いて $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の O1s スペクトルから評価した V_O 量は C 濃度の増加に従って、著しく減少した。 $\text{Si}_{0.12}\text{C}_{0.01}$ TFT は -9.2 V の V_{th} 及び $32.4 \text{ cm}^2/(\text{Vs})$ の高い μ_{FE} と優れたトランジスタ特性を示した。

第 6 章のまとめ

第 6 章では ALD 法で作製した HK 膜をゲート絶縁膜に用いた $\text{Si}_{0.24}\text{C}_{0.01}$ TFT を 300 °C 以下のプロセス温度で作製して、HK/ $\text{Si}_{0.24}\text{C}_{0.01}$ チャネル界面がトランジスタ特性に及ぼす影響について議論した。また、TFT 形状が電気特性及びバイアスストレス特性に与える影響についても議論した。HK ゲート絶縁膜として注目した $\text{Al}_2\text{O}_3/\text{SiO}_2$ 膜の V_{th} は SiO_2 単膜の場合に比べて -12.2 V から -7.9 V へ正方向にシフトして、SS が 0.70 V/dec から 0.42 V/dec へ向上した。また、 μ_{FE} は SiO_2 単膜で $26.0 \text{ cm}^2/(\text{Vs})$ であり、 $\text{Al}_2\text{O}_3/\text{SiO}_2$ の μ_{FE} は $24.5 \text{ cm}^2/(\text{Vs})$ と同様の値を示した。

TFT の形状に関しては、ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT はゲート電極/ゲート絶縁膜界面の浮遊容量の大幅な軽減により、バックゲート型 $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT と比較して V_{th} は低電圧側へシフトして、SS は大幅に向上した。ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT 及びバックゲート型 $\text{SiO}_2/\text{Si}_{0.24}\text{C}_{0.01}$ TFT はともにストレス時間の増加に従って、 ΔV_{th} は負方向にシフトして、 $V_g - V_{\text{th}}$ の増加に従って、 ΔV_{th} は増加した。ボトムゲート型 $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ TFT の ΔV_{th} はバックゲート型 $\text{SiO}_2/\text{Si}_{0.24}\text{C}_{0.01}$ TFT と比較して半分程度の値だった。ボトムゲート型で Al_2O_3 ゲート絶縁膜を用いることで $\text{Al}_2\text{O}_3/\text{Si}_{0.24}\text{C}_{0.01}$ 界面が改善されたことにより、電気特性及び信頼性の向上に期待できる。

第 7 章のまとめ

第 7 章では、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャネル膜に対して、NBS, NBIS 及び PBS 特性を測定して、 V_{th} シフトの要因をエネルギーバンド図から各成分に分けて詳細に議論した。ストレス条件は真空中及び大気中において、 $V_g - V_{\text{th}} = -1 \text{ V}$ を強度 0.29 mW/cm^2 の白色 LED 光照射下で 3 h 印加して NBIS 及び NBS 測定した。また、真空中及び大気中において、 $V_g - V_{\text{th}} = 1 \text{ V}$ を 3 h 印加して PBS 測定した。

NBS 測定において、 ΔV_{th} は真空中及び大気中に関わらず、負方向にシフトした。NBIS 測定の ΔV_{th} は NBS 測定と比較して、光照射によって ΔV_{th} が増加した。真空中の NBS 測定(3 h)では $\Delta V_{\text{th}}(\text{NBS w/o (vac)}) = -0.5 \text{ V}$ を示して、大気中の NBS 測定(3 h)では $\Delta V_{\text{th}}(\text{NBS w/o (air)}) = -0.8 \text{ V}$ を示した。また、w/o は真空中の NBIS 測定(3 h)で $\Delta V_{\text{th}}(\text{NBIS w/o (vac)}) = -3.5 \text{ V}$

であり、w/o は大気中の NBIS 測定(3 h)で $\Delta V_{th}(\text{NBIS w/o (air)}) = -4.5 \text{ V}$ であった。この結果より、NBIS w/o (air)の ΔV_{th} はホールトラップ、ディープトラップ及び吸着した O_2 分子から生成されたホール成分の 3 成分に分けることができた。 $\Delta V_{th}(\text{NBS w/o (vac)})$ と $\Delta V_{th}(\text{NBS w/o (air)})$ がほぼ同様の値であることから、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネルは暗所において大気中の吸着成分の影響はほとんどなく、 ΔV_{th} を引き起こすメカニズムは同様で、ホールが $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の価電子帯から $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面へ注入することで発生したと考えられる。 $\Delta V_{th}(\text{NBIS w/o (vac)})$ のメカニズムは $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のディープトラップが光照射により励起され、伝導帯に解放されることで引き起こされる。 $\Delta V_{th}(\text{NBIS w/o (air)})$ においては、それらに加えて、 O_2 分子が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜に吸着して、自由電子とホールが生成され、自由電子は伝導帯に移動して、生成されたホールは $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ のフェルミ準位にトラップされることで ΔV_{th} が負方向へシフトすると考えられる。PBS w/o (vac) 及び PBS w/o (air)の ΔV_{th} はそれぞれ 0.3 及び 0 V であった。PBS w/o (vac)の ΔV_{th} は、電子が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の伝導帯から $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面の電子トラップへ注入して正方向シフトしたと考えられる。

第 8 章のまとめ

第 8 章では、ALD 法を用いて 50°C の低温度で作製した Al_2O_3 パッシベーション膜を用いたボトムゲート型 $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT を作製して、NBIS 及び NBS 測定による $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面でトラップされている電子のイオン化放出、ホールトラップサイト及び吸着ガスによるホール生成について詳細に議論した。

TEM 観察より、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル上に Al_2O_3 パッシベーション膜を成膜しても反応層は無く、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル及び Al_2O_3 パッシベーション膜は良好な界面を形成していることが明らかになった。AIO-10 を形成することにより、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル表面の吸着成分が抑制されたため、AIO-10 の μ_{FE} は、AIO-2 と比較して $9.4 \text{ cm}^2/(\text{Vs})$ 増加した。NBS AIO-2 (air)及び NBS AIO-10 (air)の ΔV_{th} はそれぞれ -0.9 及び -0.7 V であった。NBIS AIO-2 (air)及び NBIS AIO-10 (air)の ΔV_{th} はそれぞれ -3.7 及び -3.1 V であった。NBIS AIO-10 (air)の ΔV_{th} は NBIS AIO-2 (air)と比較してシフト量は抑制された。PBS AIO-10 (air)の ΔV_{th} は 0 V であった。 Al_2O_3 パッシベーション膜を用いた NBIS の大気中測定は、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル表面の O_2 吸着が Al_2O_3 パッシベーション膜のカバーにより著しく抑制された。NBIS AIO-10 (air)の生成されたホールは NBIS w/o (air)と比較して 37 %減少した。 50°C の低温度で作製された Al_2O_3 パッシベーション膜が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ チャンネル表面上の O_2 吸着を抑制する重要な役割を果たしている。

ディープトラップが $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面から伝導帯へ光照射によって励起される時の時間、生成されたホールが $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ のフェルミ準位に移動する間の時間及び吸着した O_2 が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 表面の生成したホールが Al_2O_3 パッシベーション層を通して拡散する時間は $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の価電子帯から $\text{Al}_2\text{O}_3/\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 界面のトラップサイ

トに移動する時間よりも短い。光照射によって ΔV_{th} を発生させる影響が極めて早いことを意味している。

9.2 今後の課題

本研究では、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT を作製して、物理/電気特性の関係だけでなく、TFT 形状及び最適なゲート絶縁膜の選択についても系統的に行った。今後の課題として以下の5つが挙げられる。

1) 電極材料の違いによる物理/電気特性の変化

電極/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜界面の状態が要因となって電気特性に変化をもたらす可能性がある。電極/ $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜界面付近の結合状態を明確にして、電気特性の変化を明らかにすることで $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT 全体の理解を深めることが可能である。

2) 測定雰囲気ガスの違いによるゲートバイアスストレス特性評価

ゲートバイアスストレス特性の測定雰囲気ガスを分けて評価することで、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 表面に吸着したガスの違いによる ΔV_{th} を引き起こすメカニズムの成分を詳細に理解することができる。各成分を細かく理解することは、信頼性に対する $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜中の状態を明らかにする上で重要である。

3) 測定温度の違いによるゲートバイアスストレス特性

$\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜が温度変化に対する ΔV_{th} を結果から、ホットキャリアが生成される原因の理解を深めることが可能であり、信頼性評価に対して重要なデータを得ることができる。

4) 既存の In-Si-O ターゲットに SiC ターゲットを用いた 2 元同時スパッタリング法の物理/電気特性

本研究では、 In_2O_3 及び SiC ターゲットを用いた 2 元同時スパッタリング法により $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜を作製したが、In-Si-O 及び SiC ターゲットによる $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜の作製により、C 脱離を抑制して、低温度でアニール処理を簡素化可能なプロセスの構築に貢献するかもしれない。

5) ALD 法で低温度作製した Al_2O_3 パッシベーション膜が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜に与える物理特性の影響

本研究では Al_2O_3 パッシベーション膜が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT に与える電気特性及び信頼性評価について重点的に調査した。ALD 法で低温度作製した Al_2O_3 パッシベーション膜中に残留している可能性のある C や -OH が $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ 膜に与える影響を物理特性から理解することで、電気特性及び信頼性評価への影響をより深く明らかにできる。また、エネルギーバンド図の理解をより深めるきっかけになるかもしれない。

この5つの課題を達成することで、 $\text{In}_{1-x}\text{Si}_x\text{O}_{1-y}\text{C}_y$ TFT 全体の理解を深め、より簡単に作製でき、高性能な酸化物半導体となりうるかもしれない。また、酸素かい離エネルギーを考慮した材料開発の最適化に期待ができる。

研究業績

学術論文

1. **Kazunori Kurishima**, Toshihide Nabatame, Maki Shimizu, Shinya Aikawa, Kazuhito Tsukagoshi, Akihiko Ohi, Toyohiro Chikyo, and Atsushi Ogura, “Influence of Al₂O₃ gate dielectric on transistor properties for IGZO thin film transistor”, ECS Transactions, **61**, 345 (2014).
2. **Kazunori Kurishima**, Toshihide Nabatame, Maki Shimizu, Nobuhiko Mitoma, Takio Kizu, Shinya Aikawa, Kazuhito Tsukagoshi, Akihiko Ohi, Toyohiro Chikyow, and Atsushi Ogura, “Influence of Al₂O₃ layer insertion on the electrical properties of Ga-In-Zn-O thin-film transistors”, Journal of Vacuum Science & Technology A, **33**, 061506 (2015).
3. **Kazunori Kurishima**, Toshihide Nabatame, Takio Kizu, Nobuhiko Mitoma, Kazuhito Tsukagoshi, Tomomi Sawada, Akihiko Ohi, Ippei Yamamoto, Tomoji Ohishi, Toyohiro Chikyow and Atsushi Ogura, “Prospectively of carbon-doped indium-tungsten-oxide channel TFT for bias stress instability”, ECS Transactions, **75**, 149 (2016).
4. Tomomi Sawada, Toshihide Nabatame, Thang Duy Dao, Ippei Yamamoto, **Kazunori Kurishima**, Takashi Onaya, Akihiko Ohi, Kazuhiro Ito, Makoto Takahashi, Kazuyuki Kohama, Tomoji Ohishi, Atsushi Ogura, Tadaaki Nagao, “Improvement of smooth surface of RuO₂ bottom electrode on Al₂O₃ buffer layer and characteristics of RuO₂/TiO₂/Al₂O₃/TiO₂/RuO₂ capacitors”, Journal of Vacuum Science & Technology A, **35**, 061503 (2017).
5. Takashi Onaya, Toshihide Nabatame, Tomomi Sawada, **Kazunori Kurishima**, Naomi Sawamoto, Akihiko Ohi, Toyohiro Chikyow, Atsushi Ogura, “Improved leakage current properties of ZrO₂/(Ta/Nb)O_x-Al₂O₃/ZrO₂ nanolaminate insulating stacks for dynamic random access memory capacitors”, Thin Solid Films, **655**, 48 (2018).
6. **Kazunori Kurishima**, Toshihide Nabatame, Takashi Onaya, Kazuhito Tsukagoshi, Akihiko Ohi, Naoki Ikeda, Takahiro Nagata, and Atsushi Ogura, “Reliability of Al₂O₃/In-Si-O-C Thin-Film Transistor with an Al₂O₃ Passivation Layer under Gate-Bias Stress”, ECS Transactions, **86**, 135 (2018).
7. **Kazunori Kurishima**, Toshihide Nabatame, Nobuhiko Mitoma, Takio Kizu, Shinya Aikawa, Kazuhito Tsukagoshi, Akihiko Ohi, Toyohiro Chikyow, and Atsushi Ogura, “Effect of carbon doping on threshold voltage and mobility of In-Si-O thin-film transistors”, Journal of Vacuum Science & Technology B, **36**, 061206 (2018).

学会発表

[国際発表]

1. **Kazunori Kurishima**, Toshihide Nabatame, Maki Shimizu, Shinya Aikawa, Kazuhito Tsukagoshi, Akihiko Ohi, Toyohiro Chikyo, Atsushi Ogura, “Influence of Al_2O_3 gate dielectric on transistor properties for IGZO thin film transistor”, 225th ECS meeting, Hilton Orland, May, 2014, Orland, USA.
2. **Kazunori Kurishima**, Toshihide Nabatame, Maki Shimizu, Shinya Aikawa, Kazuhito Tsukagoshi, Akihiko Ohi, Toyohiro Chikyow, Atsushi Ogura, “Influence of Al_2O_3 gate insulators deposited by PE-ALD method in electrical properties of IGZO-TFT”, 14th International Conference on Atomic layer deposition, Hotel Granvia Kyoto, June, 2014, Kyoto, Japan.
3. **Kazunori Kurishima**, Toshihide Nabatame, Nobuhiko Mitoma, Takio Kizu, Kazuhito Tsukagoshi, Tomomi Sawada, Akihiko Ohi, Ippei Yamamoto, Tomoji Ohishi, Toyohiro Chikyow, and Atsushi Ogura, “Impact of carbon-doped In-Si-O channel for future TFT”, 227th ECS meeting, Hilton Chicago, May, 2015, Chicago, USA.
4. Toshihide Nabatame, Ippei Yamamoto, Tomomi Sawada, Akihiko Ohi, **Kazunori Kurishima**, Duy Thang Dao, Tadaaki Nagao, Atsushi Ogura, Tomoji Ohishi, Toyohiro Chikyow, “Control of Oxygen Vacancy in TiO_2 Films Introduced by ALD Using TMA Precursor”, 15th International Conference on Atomic Layer Deposition, Portland Hilton, June, 2015, Portland, USA.
5. Tomomi Sawada, Toshihide Nabatame, Duy Thang Dao, Ippei Yamamoto, **Kazunori Kurishima**, Akihiko Ohi, Tomojoi Ohishi, Atsushi Ogura, Tadaaki Nagao, “Growth of RuO_2 films on SiO_2 , Al_2O_3 and TiO_2 layers by plasma-enhanced ALD”, 15th International Conference on Atomic Layer Deposition, Portland Hilton, June, 2015, Portland, USA.
6. Yoshihiro Yamashita, Norihiro Ikeno, Hiroshi Oji, Takaaki Katsumata, **Kazunori Kurishima**, Ryosuke Imai, Yoshihisa Suzuki, Tomihisa Tachibana, Yoshio Ohshita, Ichiro Hirosawa, and Atsushi Ogura, “Detail study on electronic bonding states on SiN passivation film and interface for Si solar cell applications”, 31st European Photovoltaic Solar Energy Conference and Exhibition, Congress Center Hamburg, September, 2015, Hamburg, Germany.
7. **Kazunori Kurishima**, Toshihide Nabatame, Nobuhiko Mitoma, Takio Kizu, Kazuhito Tsukagoshi, Tomomi Sawada, Akihiko Ohi, Ippei Yamamoto, Tomoji Ohishi, Toyohiro Chikyow, and Atsushi Ogura, “Improvement of bias stress reliability in TFT using Carbon-doped In-Si-O channel”, 2015 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES: SCIENCE AND TECHNOLOGY, National Museum of Emerging Science and Innovation (Miraikan), November, 2015, Tokyo, Japan.
8. Ippei Yamamoto, Toshihide Nabatame, Tomomi Sawada, Akihiko Ohi, **Kazunori Kurishima**,

- Duy Thang Dao, Tadaaki Nagao, Toyohiro Chikyow, Atsushi Ogura, Tomoji Ohishi, "Oxygen Vacancy formation into Anatase-TiO₂ Films by Oxidation of Trimethylaluminium", 2015 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES: SCIENCE AND TECHNOLOGY, National Museum of Emerging Science and Innovation (Miraikan), November, 2015, Tokyo, Japan.
9. Tomomi Sawada, Toshihide Nabatame, Ipppei Yamamoto, **Kazunori Kazunori**, Takashi Onaya, Akihiko Ohi, Kazuhiro Ito, Makoto Takahashi, Kazuyuki Kohama, Tomoji Ohishi, Atsushi Ogura, Tadaaki Nagao, "Characteristic of TiO₂/Al₂O₃/TiO₂ capacitors with plasma-enhanced ALD RuO₂ bottom electrode for DRAM", 2015 International Workshop on DIELECTRIC THIN FILMS FOR FUTURE ELECTRON DEVICES: SCIENCE AND TECHNOLOGY, National Museum of Emerging Science and Innovation (Miraikan), November, 2015, Tokyo, Japan.
 10. **Kazunori Kurishima**, Toshihide Nabatame, Nobuhiko Mitoma, Takio Kizu, Kazuhito Tsukagoshi, Tomomi Sawada, Akihiko Ohi, Ipppei Yamamoto, Tomoji Ohishi, Toyohiro Chikyow, and Atsushi Ogura, "Study of C-doped InSiO as a novel channel material for oxide TFT", 46th IEEE Semiconductor Interface Specialists Conference, Key Bridge Marriott, December, 2015, Arlington, USA.
 11. Ipppei Yamamoto, Toshihide Nabatame, Tomomi Sawada, Akihiko Ohi, **Kazunori Kurishima**, Duy Thang Dao, Tadaaki Nagao, Toyohiro Chikyow, Atsushi Ogura, Tomoji Ohishi, "Self-limiting Oxygen Vacancy formation into Anatase-TiO₂ Films by Trimethylaluminium", 46th IEEE Semiconductor Interface Specialists Conference, Key Bridge Marriott, December, 2015, Arlington, USA.
 12. Toshihide Nabatame, Ipppei Yamamoto, Tomomi Sawada, Akihiko Ohi, **Kazunori Kurishima**, Duy Thang Dao, Tadaaki Nagao, Toyohiro Chikyow, Atsushi Ogura, Tomoji Ohishi, "Electrical properties of anatase-TiO₂ films due to the oxygen vacancy introduced by oxidation of trimethylaluminium", 2016 MRS Spring Meeting, Phoenix Convention Center, March, 2016, Phoenix, USA
 13. **Kazunori Kurishima**, Toshihide Nabatame, Nobuhiko Mitoma, Takio Kizu, Kazuhito Tsukagoshi, Takashi Onaya, Tomomi Sawada, Akihiko Ohi, Toyohiro Chikyow, Atsushi Ogura, "Low operating voltage and Von tuning of In-Si-O TFT with ALD-ZrO₂ gate insulator", 16th International Conference on Atomic Layer Deposition, Convention Centre Dublin, July, 2016, Dublin, Ireland
 14. Takashi Onaya, Toshihide Nabatame, Tomomi Sawada, **Kazunori Kurishima**, Akihiko Ohi, Naomi Sawamoto, Toyohiro Chikyow, and Atsushi Ogura, "Improvement of leakage current properties of ZrO₂/(Ta/Nb)O_x-Al₂O₃/ZrO₂ nano-laminate insulating stacks for DRAM capacitor", 16th International Conference on Atomic Layer Deposition, Convention Centre

Dublin, July, 2016, Dublin, Ireland

15. Toshihide Nabatame, Takashi Onaya, Makoto Takahashi, Kazuhiro Ito, Akihiko Ohi, **Kazunori Kurishima**, Atsushi Ogura, Toyohiro Chikyow, “Comparison of tapping mechanism of ZrO_2 and $(Ta/Nb)_x$ charge trapping layers for charge trap capacitor with high-k multilayers”, 16th International Conference on Atomic Layer Deposition, Convention Centre Dublin, July, 2016, Dublin, Ireland
16. **Kazunori Kurishima**, Toshihide Nabatame, Takio Kizu, Nobuhiko Mitoma, Kazuhito Tsukagoshi, Tomomi Sawada, Akihiko Ohi, Ipei Yamamoto, Tomoji Ohishi, Toyohiro Chikyow, and Atsushi Ogura, “Prospectively of carbon-doped indium-tungsten-oxide channel TFT for bias stress instability”, PRiME 2016, Hawaii Convention Center & Hilton Hawaiian Village, October, 2016, Honolulu, USA
17. Takashi Onaya, Nabatame Toshihide, Sawada Tomomi, **Kurishima Kazunori**, Sawamoto Naomi, Ohi Akihiko, Chikyow Toyohiro, Ogura Atsushi, “Role of Interlayer in ZrO_2 /high-k/ ZrO_2 Insulating Multilayer on Electrical Properties for DRAM Capacitor”, PRiME 2016, Hawaii Convention Center & Hilton Hawaiian Village, October, 2016, Honolulu, USA
18. **Kazunori Kurishima**, Toshihide Nabatame, Takashi Onaya, Takio Kizu, Kazuhito Tsukagoshi, Akihiko Ohi, Naoki Ikeda, Toyohiro Chikyow, Atsushi Ogura, “Influence of $Al_2O_3/In_{0.76}Si_{0.24}O_{0.99}C_{0.01}$ interface on reliability for oxide thin film transistor”, PCSI-45, Sheraton Kona Resort & Spa, January, 2018, Kona, USA
19. **Kazunori Kurishima**, Toshihide Nabatame, Takashi Onaya, Kazuhito Tsukagoshi, Akihiko Ohi, Naoki Ikeda, Takahiro Nagata, Atsushi Ogura, “Reliability of $Al_2O_3/In-Si-O-C$ thin-film transistors with an Al_2O_3 passivation layer under gate-bias stress”, AiMES 2018, Moon Palace Resort, October, 2018, Cancun, Mexico
20. Takashi Onaya, Toshihide Nabatame, Naomi Sawamoto, **Kazunori Kurishima**, Akihiko Ohi, Naoki Ikeda, Takahiro Nagata, and Atsushi Ogura, “Ferroelectricity of $Hf_xZr_{1-x}O_2$ Thin Films Fabricated Using TiN Stressor Layer and ZrO_2 Nucleation Layer”, AiMES 2018, Moon Palace Resort, October, 2018, Cancun, Mexico
21. **Kazunori Kurishima**, Toshihide Nabatame, Takashi Onaya, Kazuhito Tsukagoshi, Akihiko Ohi, Naoki Ikeda, Takahiro Nagata, Atsushi Ogura, “Suppression of threshold voltage shift on In-Si-O-C Thin-Film Transistor with an Al_2O_3 Passivation Layer under Negative and Positive Gate-Bias Stress”, 3rd Electron Devices Technology and Manufacturing Conference (EDTM) 2019, Marina Bay Sands Convention Centre, March, 2019, Singapore, 発表予定

[国内発表]

1. 栗島 一徳、生田目 俊秀、清水 麻希、相川 慎也、塚越 一仁、大井 暁彦、知京 豊裕、小椋 厚志、「PE-ALD 法で作製した Al_2O_3 絶縁膜を用いた IGZO-TFT の電気特性の変化」、ゲートスタック研究会 –材料・プロセス・評価の物理-(第 19 回研究会)、ニューウェルシティ湯河原、2014 年 1 月、静岡
2. 栗島 一徳、生田目 俊秀、清水 麻希、相川 慎也、塚越 一仁、大井 暁彦、知京 豊裕、小椋 厚志、「PE-ALD 法で作製した Al_2O_3 絶縁膜を用いた IGZO-TFT の電気特性」、第 61 回応用物理学会春季学術講演会、青山学院大学相模原キャンパス、2014 年 3 月、神奈川
3. 栗島 一徳、生田目 俊秀、三苫 伸彦、木津 たきお、塚越 一仁、澤田 朋実、大井 暁彦、山本 逸平、大石 知司、知京 豊裕、小椋 厚志、「炭素添加した InSiO チャンネル材料の特性」、第 75 回応用物理学会秋季学術講演会、北海道大学札幌キャンパス、2014 年 9 月、北海道
4. 山本 逸平、生田目 俊秀、澤田朋実、大井 暁彦、栗島 一徳、ダオ デュイ タン、長尾 忠昭、知京 豊裕、小椋厚志、大石知司、「TMA 原料による Rutile-TiO₂ 膜への酸素欠損の導入とその電気特性」、日本金属学会 2014 年秋期 (第 155 回) 講演大会、名古屋大学、2014 年 9 月、愛知
5. 澤田 朋実、生田目 俊秀、ダオ デュイ タン、山本 逸平、栗島 一徳、大井 暁彦、大石 知司、小椋 厚志、長尾 忠昭、「RuO₂ シードを用いた PE-ALD 法で作製した RuO₂ 膜の特性」、日本金属学会 2014 年秋期 (第 155 回) 講演大会、名古屋大学、2014 年 9 月、愛知
6. 栗島 一徳、生田目 俊秀、三苫 伸彦、木津 たきお、塚越 一仁、澤田 朋実、大井 暁彦、山本 逸平、大石 知司、知京 豊裕、小椋 厚志、「C ドープした InSiO チャンネル材料の電気特性及び物性に及ぼす C の影響」、ゲートスタック研究会 –材料・プロセス・評価の物理-(第 20 回研究会)、東レ総合研修センター、2015 年 1 月、静岡
7. 山本 逸平、生田目 俊秀、澤田 朋実、大井 暁彦、栗島 一徳、Thang Duy DAO、長尾 忠昭、知京 豊裕、小椋 厚志、大石 知司、「TMA/H₂O-ALD 法による Rutile-TiO₂ 膜へ酸素欠損の形成による電気特性」、ゲートスタック研究会 –材料・プロセス・評価の物理-(第 20 回研究会)、東レ総合研修センター、2015 年 1 月、静岡
8. 栗島 一徳、生田目 俊秀、三苫 伸彦、木津 たきお、塚越 一仁、澤田 朋実、大井 暁彦、山本 逸平、大石 知司、知京 豊裕、小椋 厚志、「2 元スパッタリング法で作製した InSiO 系チャンネル材料の電気特性」、第 62 回応用物理学会春季学術講演会、東海大学湘南キャンパス、2015 年 3 月、神奈川
9. 山本 逸平、生田目 俊秀、澤田 朋実、大井 暁彦、栗島 一徳、ダオ デュイ タン、長尾 忠昭、知京 豊裕、小椋厚志、大石知司、「TMA 原料による Anatase-TiO₂ 膜への酸素欠損の導入とその電気特性」、日本金属学会 2015 年春期 (第 156 回) 講演大会、東京大学、2015 年 3 月、東京

10. 澤田 朋実, 生田目 俊秀, 石井 智, ダオ デュイ タン, 山本 逸平, 栗島 一徳, 大井 暁彦, 大石知司, 小椋厚志, 長尾 忠昭, 「TMA 原料による Anatase-TiO₂ 膜への酸素欠損の導入とその電気特性」、日本金属学会 2015 年春期 (第 156 回) 講演大会, 東京大学、2015 年 3 月、東京
11. 栗島 一徳, 生田目 俊秀, 塚越 一仁, 大井 暁彦, 知京 豊裕, 小椋 厚志, 「PE-ALD 法で作製した極薄膜 Al₂O₃ ゲート絶縁膜を用いた GIZO TFT の電気特性」、シリコン材料・デバイス研究会 (SDM) 6 月度研究会、名古屋大学ベンチャー・ビジネス・ラボラトリー、2015 年 6 月、愛知
12. 栗島 一徳, 生田目 俊秀, 三苫 伸彦, 木津 たきお, 塚越 一仁, 澤田 朋実, 大井 暁彦, 山本 逸平, 大石 知司, 知京 豊裕, 小椋 厚志, 「C ドープ In-Si-O TFT の NBTI 及び PBTI 特性の改善」、第 76 回応用物理学会秋季学術講演会、名古屋国際会議場、2015 年 9 月、愛知
13. 山本 逸平, 生田目 俊秀, 澤田 朋実, 大井 暁彦, 栗島 一徳, ダオ デュイ タン, 長尾 忠昭, 知京 豊裕, 小椋厚志, 大石知司, 「TMA 原料による anatase-TiO₂ 膜への酸素欠損導入のメカニズムの解明」、日本金属学会 2015 年秋期(第 157 回)講演大会, 九州大学、2015 年 9 月、福岡
14. 澤田 朋実, 生田目 俊秀, ダオ デュイ タン, 山本 逸平, 栗島 一徳, 女屋 崇, 大井 暁彦, 大石知司, 小椋厚志, 長尾 忠昭, 「TiO₂/Al₂O₃/TiO₂ スタック絶縁膜を用いた MIM キャパシタの電気特性に対する Al₂O₃ 膜厚の影響」、日本金属学会 2015 年秋期(第 157 回)講演大会, 九州大学、2015 年 9 月、福岡
15. 栗島 一徳, 生田目 俊秀, 三苫 伸彦, 木津 たきお, 塚越 一仁, 澤田 朋実, 大井 暁彦, 山本 逸平, 大石 知司, 知京 豊裕, 小椋 厚志, 「C ドープ In-Si-O チャネルの酸化物 TFT のバイアスストレス特性の改善」、電子デバイス界面テクノロジー研究会 -材料・プロセス・デバイス特性の物理-(第 21 回研究会), 東レ総合研修センター、2016 年 1 月、静岡
16. 山本 逸平, 生田目 俊秀, 澤田 朋実, 大井 暁彦, 栗島 一徳, ダオ デュイ タン, 長尾 忠昭, 知京 豊裕, 小椋 厚志, 大石 知司, 「TMA 原料と TiO₂ 膜の酸素の自己制御型反応によるアナターゼ TiO₂ 膜への酸素欠損の形成のメカニズム」、電子デバイス界面テクノロジー研究会 -材料・プロセス・デバイス特性の物理-(第 21 回研究会), 東レ総合研修センター、2016 年 1 月、静岡
17. 女屋 崇, 生田目 俊秀, 澤田 朋実, 栗島 一徳, 大井 暁彦, 知京 豊裕, 小椋 厚志, 「ZrO₂/Al₂O₃/ZrO₂ スタック構造を用いた DRAM キャパシタにおける Al₂O₃ 及び ZrO₂ 膜厚がリーク電流特性へ及ぼす影響」、電子デバイス界面テクノロジー研究会 -材料・プロセス・デバイス特性の物理-(第 21 回研究会), 東レ総合研修センター、2016 年 1 月、静岡
18. 栗島 一徳, 生田目 俊秀, 三苫 伸彦, 木津 たきお, 塚越 一仁, 澤田 朋実, 大井 暁彦

- 彦, 山本 逸平, 大石 知司, 知京 豊裕, 小椋 厚志、「酸化物薄膜トランジスタへ向けた C ドープした In-W-O チャンネル材料の特性」、第 63 回応用物理学会春季学術講演会、東京工業大学大岡山キャンパス、2016 年 3 月、東京
19. 女屋 崇, 生田目 俊秀, 澤田 朋実, 栗島 一徳, 大井 暁彦, 知京 豊裕, 小椋 厚志、「ZrO₂/Al₂O₃/ZrO₂ スタック構造を用いた DRAM キャパシタにおける リーク電流特性の改善」、第 63 回応用物理学会春季学術講演会、東京工業大学大岡山キャンパス、2016 年 3 月、東京
 20. 山本 逸平, 生田目 俊秀, 澤田 朋実, 大井 暁彦, 栗島 一徳, ダオ デュイ タン, 長尾 忠昭, 知京 豊裕, 小椋 厚志, 大石 知司、「XPS を用いたトリメチルアルミニウムガスによる TiO₂ 膜からの自己制御型の酸素脱離メカニズムの解析」、日本金属学会 2016 年春期 (第 158 回) 講演大会, 東京理科大学、2016 年 3 月、東京
 21. 澤田 朋実, 生田目 俊秀, ダオ デュイ タン, 山本 逸平, 栗島 一徳, 女屋 崇, 大井 暁彦, 大石 知司, 小椋 厚志, 長尾 忠昭、「TiO₂/Al₂O₃/TiO₂ キャパシタにおける PE-ALD RuO₂ と TiN 電極の耐圧特性の比較」、日本金属学会 2016 年春期 (第 158 回) 講演大会, 東京理科大学、2016 年 3 月、東京
 22. 女屋 崇, 生田目 俊秀, 澤田 朋実, 栗島 一徳, 澤本直美, 大井 暁彦, 知京 豊裕, 小椋 厚志、「ZrO₂/Al₂O₃/ZrO₂ 多層を用いた DRAM キャパシタにおける Al₂O₃ 層が電気特性に及ぼす効果」、シリコン材料・デバイス研究会、キャンパス・イノベーションセンター 東京、2016 年 6 月、東京
 23. 栗島 一徳, 生田目 俊秀, 木津 たきお, 塚越 一仁, 女屋 崇, 大井 暁彦, 知京 豊裕, 小椋 厚志、「ZrO₂ 絶縁膜/In-Si-O チャンネル界面が酸化物 TFT のトランジスタ特性へ及ぼす影響」、第 77 回応用物理学会秋季学術講演会、朱鷺メッセ、2016 年 9 月、新潟
 24. 女屋 崇, 生田目 俊秀, 澤田 朋実, 栗島 一徳, 澤本直美, 大井 暁彦, 知京 豊裕, 小椋 厚志、「ZrO₂/high-k/ZrO₂ 多層絶縁膜を用いた DRAM キャパシタにおける high-k 層間絶縁層の役割」、第 77 回応用物理学会秋季学術講演会、朱鷺メッセ、2016 年 9 月、新潟
 25. 生田目 俊秀, 伊藤 和博, 高橋 誠, 弓削 雅津也, 女屋 崇, 栗島 一徳, 大井 暁彦, 大石 知司, 小椋 厚志, 知京 豊裕、「Al₂O₃/ZrO₂/Al₂O₃ チャージトラップキャパシタにおける電子トラップのメカニズム」、日本金属学会 2016 年秋期(第 159 回)講演大会、大阪大学、2016 年 9 月、大阪
 26. 栗島 一徳, 生田目 俊秀, 木津 たきお, 塚越 一仁, 大井 暁彦, 池田 直樹, 知京 豊裕, 小椋 厚志、「酸化物薄膜トランジスタにおける C ドープ In-Si-O と In-Si-O チャンネルの信頼性の比較」、電子デバイス界面テクノロジー研究会 -材料・プロセス・デバイス特性の物理-(第 22 回研究会), 東レ総合研修センター、2017 年 1 月、静岡
 27. 女屋 崇, 生田目 俊秀, 栗島 一徳, 澤本直美, 大井 暁彦, 池田 直樹, 知京 豊裕, 小椋 厚志、「High-k シード層が HfZrO₂ 膜の強誘電性へ及ぼす影響」、電子デバイス界面テクノロジー研究会 -材料・プロセス・デバイス特性の物理-(第 22 回研究会), 東レ総合研修

センター、2017年1月、静岡

28. 栗島 一徳, 生田目 俊秀, 木津 たきお, 塚越 一仁, 大井 暁彦, 池田 直樹, 知京 豊裕, 小椋厚志, 「ホールトラップが C ドープ In-Si-O のトランジスタ特性へ及ぼす影響」、第 64 回応用物理学会春季学術講演会、パシフィコ横浜、2017 年 3 月、神奈川
29. 女屋 崇, 生田目 俊秀, 栗島 一徳, 澤本直美, 大井 暁彦, 池田 直樹, 知京 豊裕, 小椋厚志, 「ALD-ZrO₂ シード層による Hf_xZr_{1-x}O₂ 膜の強誘電性の改良」、第 64 回応用物理学会春季学術講演会、パシフィコ横浜、2017 年 3 月、神奈川
30. 栗島 一徳, 生田目 俊秀, 女屋 崇, 木津 たきお, 塚越 一仁, 大井 暁彦, 池田 直樹, 知京 豊裕, 小椋厚志, 「High-k/In_{1-x}Si_xO_{1-y}C_y チャンネル界面がトランジスタ特性に及ぼす影響」、第 78 回応用物理学会秋季学術講演会、福岡国際会議場、2017 年 9 月、福岡
31. 女屋 崇, 生田目 俊秀, 澤本直美, 栗島 一徳, 大井 暁彦, 池田 直樹, 知京 豊裕, 小椋厚志, 「ナノ結晶 ZrO₂ シード層を用いた厚膜 Hf_xZr_{1-x}O₂ の強誘電性」、第 78 回応用物理学会秋季学術講演会、福岡国際会議場、2017 年 9 月、福岡
32. 栗島 一徳, 生田目 俊秀, 女屋 崇, 塚越 一仁, 大井 暁彦, 池田 直樹, 長田 貴弘, 小椋 厚志, 「NBIS 測定による Al₂O₃ パッシベーション膜を用いた In_{1-x}Si_xO_{1-y}C_y TFT の信頼性評価」、第 79 回応用物理学会秋季学術講演会、名古屋国際会議場、2018 年 9 月、福岡
33. 栗島 一徳, 生田目 俊秀, 女屋 崇, 塚越 一仁, 大井 暁彦, 池田 直樹, 長田 貴弘, 小椋 厚志, 「Al₂O₃ パッシベーション膜による In-Si-O-C TFT の正負バイアスストレス特性の改善」、電子デバイス界面テクノロジー研究会 –材料・プロセス・デバイス特性の物理-(第 24 回研究会), 東レ総合研修センター、2019 年 1 月、静岡
34. 女屋 崇, 生田目 俊秀, 澤本 直美, 栗島 一徳, 大井 暁彦, 池田 直樹, 長田 貴弘, 小椋 厚志, 「原子層堆積法の酸化剤ガスが強誘電体 Hf_xZr_{1-x}O₂ 薄膜の低温形成へ及ぼす効果」、電子デバイス界面テクノロジー研究会 –材料・プロセス・デバイス特性の物理-(第 24 回研究会), 東レ総合研修センター、2019 年 1 月、静岡
35. 小林 陸, 生田目 俊秀, 栗島 一徳, 木津 たきお, 女屋 崇, 大井 暁彦, 池田 直樹, 長田 貴弘, 塚越 一仁, 小椋 厚志, 「低温度 ALD 法を用いて Al₂O₃ 及び SiO₂ 下地基板へ形成した In₂O₃ 膜の特性」、電子デバイス界面テクノロジー研究会 –材料・プロセス・デバイス特性の物理-(第 24 回研究会), 東レ総合研修センター、2019 年 1 月、静岡

受賞歴

1. Poster Award

14th International Conference on Atomic layer deposition, June, 2014, Kyoto, Japan.

2. 最優秀ポスター賞(安田賞)

ゲートスタック研究会 –材料・プロセス・評価の物理-(第 20 回研究会), 2015 年 1 月、静岡

3. 第 7 回明治大学大学院長賞

明治大学、2016 年 3 月

	英論文	研究会	学術講演(国際)	学術講演(国内)	受賞歴
First Author	5	6	10	9	3
Co author	2	7	11	13	2
全件数	7	13	21	22	5

謝辞

本研究は研究開発法人 物質・材料研究機構と明治大学の共同研究として実施されました。

3年次の研究室配属時から半導体の材料やプロセス等、様々な基礎知識をご教示していただき、大学入学以前より憧れていた物質・材料研究機構との共同研究に加えて、配属していただきました、明治大学理工学研究科電気工学専攻、半導体ナノテクノロジー研究室の小椋厚志教授に心より感謝の意を申し上げます。

本論文を発表するにあたり、副査をして頂きました、明治大学理工学部電気電子生命学科、勝俣裕准教授及び物質・材料研究開発機構 ナノファブリケーショングループ グループリーダー兼明治大学客員教授の生田目俊秀様に心より感謝いたします。

また、生田目様には、本研究の立案・指針、実験結果に対する考察、発表資料の添削、細部にわたり面倒を見ていただきまして、厚く御礼申し上げます。

私を研究グループの一員として迎えて下さり、研究に対して懇切丁寧にご指導、御鞭撻を賜った情報統合型物質・材料研究拠点 副拠点長の知京豊裕様及び MANA ナノマテリアル分野ナノ電子デバイス材料グループ グループリーダーの長田貴弘様に心から感謝いたします。

実験装置の指導や研究の相談ばかりでなく、日常の生活に対する相談やアドバイスを頂いた大井暁彦様を始めとしたナノファブリケーショングループ並木ファウンドリの皆様に心から感謝致します。

本研究を進めるにあたり、研究発表の準備やミーティングばかりでなく、機構内及び社会での生活においても数多くの助言をいただきました、MANA 副拠点長の若山裕様、機能性材料研究拠点センサ・アクチュエータ研究開発センター センター長の川喜多仁様及びナノ電子デバイス材料グループの山下良之様に深く感謝申し上げます。

本研究の実験結果に対する議論、関連論文の紹介及び研究を進める上でのアドバイスを頂いた MANA ナノシステム分野超薄膜エレクトロニクスグループ グループリーダーの塚越一仁様、ポストドクター研究員の三苦伸彦様(現名古屋大学)、木津たきお様(現(株)エア・リキード・ラボラトリーズ)及び工学院大学工学部電気電子工学科の相川慎也准教授に深く感謝を申し上げます。

ホール測定を中心に、本研究を進める上で重要な要であった MANA ナノシステム分野光学グループ(現ナノ光制御グループ)の澤田朋実様に深く御礼を申し上げます。

TEM 観察及び解析にご協力いただいた半導体ナノテクノロジー研究室の澤本直美様に心から感謝いたします。

機構内での事務手続きや生活のアドバイスをくださいました、ナノ電子デバイス材料グループ 松下美智世様に厚く御礼を申し上げます。

学部生及び博士前期課程の時期に芝浦工業大学大学院工学研究科応用化学専攻の山本逸平氏には、卒業後も様々な局面で支えて頂いたことに深く感謝致します。 また、山本様の

後輩である弓削雅津也氏、廣瀬雅史氏及び前田瑛里香氏には物質・材料研究機構における生活での支えになっていただいたことに感謝を申し上げます。同じく物質・材料研究機構における研究生活において心の支えになった千葉工業大学大学院工学研究科機械サイエンス専攻の佐藤怜氏(現サムスン電子ジャパン(株))、安藤達弥氏、千葉工業大学工学部機械サイエンス学科井上勇輝氏(現 KOA(株))及び久保田友輔氏には心から感謝申し上げます。

その他にも、物質・材料研究機構において関わった全ての方に、研究活動を彩っていただいたことを心から感謝いたします。

明治大学と物質・材料研究機構での活動に関して、日々清々しい生活を送るための環境をご提供して下さった、鈴木良尚氏(現キャノン(株))、女屋崇氏、立島滉大氏、安原雄大氏及び小林陸氏に深く感謝を申し上げます。

半導体ナノテクノロジー研究室博士後期課程の同期である石原聖也様には、この3年間切磋琢磨していただいたことを心より感謝いたします。また、博士後期課程の後輩である、横川凌氏、女屋崇氏、日比野祐介氏には石原氏とともに研究だけでなく、日常生活を支えて頂いたことに深く御礼を申し上げます。私を含め博士後期課程の5人で日本学術振興会特別研究員となれたことは、自分の人生の中でも誇りに思います。

卒業したにもかかわらず、定期的に心身のお気遣いをしていただいた宇野匠氏(現キャノン(株))、山下祥弘氏(現本田技研工業(株))のお二人には深く感謝致します。

学会や出張に行く際に、大学での事務手続き等を行って下さいました、半導体ナノテクノロジー研究室 村井真由美氏に厚く御礼申し上げます。

最後になりましたが、博士後期課程3年間の充実した日々を支えて頂いた、明治大学 半導体ナノテクノロジー研究室及びOBの皆様には深く御礼申し上げます。

今日に至るまで、経済的、精神的及び生活のすべてを支えて下さいました家族に厚く御礼を申し上げます。

本研究は以上のような多くの方々のご協力によって完成したものであり、ここに改めて心からの謝意を表します。