

## 組合せ回路における論理故障の診断法に関する研究

メタデータ	言語: Japanese 出版者: 公開日: 2012-05-24 キーワード: 作成者: 山崎, 浩二 メールアドレス: 所属:
URL	<a href="http://hdl.handle.net/10291/12888">http://hdl.handle.net/10291/12888</a>

# 組合せ回路における論理故障の診断法 に関する研究

山崎 浩二

# 目 次

第1章	緒論	3
1.1	本研究の目的と背景	3
1.2	従来の研究の概要	5
1.3	本研究の意義	6
第2章	故障モデル	7
第3章	2線間単一短絡故障の診断法	11
3.1	短絡故障回路の動作	11
3.2	診断テーブルの定義	15
3.3	出力異常の観測される条件	16
3.4	短絡故障の条件	17
3.5	診断手順	18
3.6	性能評価	21
3.7	まとめ	24
第4章	単一短絡故障の検出率の評価法	25
4.1	評価手順	25
4.2	性能評価	29
4.3	まとめ	31
第5章	n線間の短絡故障の診断法	32
5.1	診断法の概要	32
5.1.1	基本的アイデア	32
5.1.2	信号値を推定するための基本操作	33
5.1.3	強制値の概念の拡張	37
5.1.4	含意操作を補うためのプローブ	38
5.1.5	垂直含意の活性化	41

5.2	診断手順	42
5.3	性能評価	44
5.4	まとめ	47
第6章	任意の論理故障の診断法	48
6.1	基本的アイデア	48
6.2	診断法の概要	50
6.3	診断手順	57
6.4	性能評価	60
6.5	まとめ	63
第7章	性能向上のための診断システムの提案	64
第8章	結論	65
8.1	本研究の総括	65
8.2	今後の研究課題	66
謝辞		67
参考文献		68
付録		70

# 第1章 諸論

## 1.1 本研究の目的と背景

半導体技術とCAD (computer aided design) 技術の進歩により、現在では一つのチップに数十万～百万個のトランジスタを搭載したVLSI (very large scale integration) の製造が可能になっている。VLSIの開発期間の短縮やコストの低減、信頼性の確保などのためには、動作不良が発見されたときにその原因を効率よく調べる故障診断 (fault diagnosis) 技術の開発が重要である。

VLSIチップ内に故障が一つしか存在しないならば、テストを用いて外部出力端子で値を観測し、観測により得られた値をもとに故障箇所を推定することが可能である。縮退故障 (stuck-at fault) については、これまでにいくつかの診断法が提案されている(12)-(15)。縮退故障以外にも信号線間の短絡故障 (bridging fault) や論理ゲートの機能故障 (gate-functional fault) などがかなりの頻度で生じることがあるが、これらについての実用的な診断法はいまだ開発されていない。

多重故障の場合には、外部出力端子の値を観測するだけでは診断は不可能であり、電子ビームテストなどを用いてチップ内の信号値を観測することが必要不可欠である。電子ビームテストなどを用いてチップ内の信号値を観測することをプローブ (probe) という。プローブを用いることで任意の故障を診断することが可能であると思われるが、プローブには多大な時間と労力が必要であるため、プローブする箇所をできるだけ少なくすることが望まれる。

多重の縮退故障については推論を併用することでプローブ数の削減を図った診断法が提案されている(17)。多重故障を対象とするときにはプローブを用いることが必要不可欠であるため、同一種類の故障が多重に存在する場合の診断法を個々に開発するよりも、多少余分の時間と労力が必要であっても任意の多重故障を診断できる手法を開発するほうが実用的であると思われる。

本研究はこのような背景の下で行われたものであり、組合せ回路における論理故障の診断の効率化を目的としている。本論文では、単一の短絡故障を診断する手法、2本以上の信号線間の短絡故障を診断する手法、および推論とプローブを併用した任意の論理故障を診断する手法を提示し、計算機実験によりそ

の有効性を評価している。さらに、これらの手法と単一縮退故障の診断法を組み合わせるにより、任意の論理故障が効率よく診断できるシステムの構築が可能であることを示している。

## 1.2 従来の研究の概要

VLSIの開発期間の短縮やコストの低減，信頼性の確保などのためには，動作不良の原因を効率よく調べる故障診断技術の開発が重要であり，これまでに様々な研究がなされている(12)-(21)。

VLSIチップ内に故障が一つしか存在しないならば，テストを用いて外部出力端子で値を観測し，観測により得られた値をもとに故障箇所を推定することが可能である。回路内部の信号線の論理値が0または1に固定される縮退故障については，これまでにいくつかの診断法が提案されている(12)-(15)。代表的なものとして故障辞書法(12)(13)があげられる。この手法は，故障が存在するときの出力応答を予め求めて故障辞書と呼ばれるデータベースに蓄えておき，故障回路の出力応答から辞書を検索することで診断を行う手法である。この手法は，回路が大規模になると故障辞書が膨大なものとなるため，あまり実用的ではない。より実用的な診断法として，誤りの観測された外部出力から入力へ向かって誤りの可能性のある経路を追跡する手法(14)が提案されており，故障辞書を用いることなく高速に被疑部分を数箇所程度まで絞込むことができる。縮退故障以外にも信号線間の短絡故障や論理ゲートの機能故障などがかなりの頻度で生じるが，これまでは単一縮退故障の辞書を使って短絡故障を診断する手法(15)が提案されている程度であり，これらについての実用的な診断法はいまだ開発されていない。

多重縮退故障に対しては，結果原因分析法(16)による推論と電子ビームテストによるプローブを組み合わせた手法(17)や，診断時に多重縮退故障に対するテスト入力を生成し，生成したテストに対する出力応答から故障箇所を推定する方法(18)など，効率のよい手法が提案されている。縮退故障以外の多重故障が診断可能な手法としては，外部出力から誤り経路を順次プローブしていくガイドドプローブ法(19)-(21)があり，任意の論理故障の診断が可能ではあるが，多くの素子をプローブする必要があるため，あまり効率がよいとはいえない。

上記のように，従来の故障診断に関する研究の中心は縮退故障に対するものであった。また，プローブ技術を用いる場合でも効率のよい手法が示されていない。故障診断の効率向上のためには，短絡故障やゲート機能故障など縮退以外の故障を効率よく診断する手法を開発する必要がある。

### 1.3 本研究の意義

本研究は、VLSIの開発期間の短縮やコストの低減、信頼性の確保などのために重要な、組合せ回路における論理故障の診断技術に関するものである。

第2章では、本研究で取扱う故障モデルについて概説する。第3章では、回路構成とテストパターンから予め作成することのできる診断テーブルを用いて2線間の単一短絡故障を診断する手法について述べる。第4章では、3章で定義されている診断テーブルを用いて単一短絡故障の検出率を評価する方法について述べる。第5章では、多重縮退故障の診断法の基本操作を利用した、2本以上の信号線間に生じた短絡故障の診断法について述べる。第6章では、推論とプローブを併用した任意の論理故障の診断法について述べる。第7章では、いくつかの診断法を組み合わせることにより、任意の論理故障を効率よく診断できるシステムの構築が可能であることを示す。

以上述べたように、本研究の意義は、組合せ回路における論理故障を効率的に診断する手法を提示することにある。

## 第2章 故障モデル

回路に誤動作を引き起こすような物理的欠陥を故障 (fault) という。動作不良を起こしている回路の故障箇所を調べる故障診断 (fault diagnosis) は、設計上もしくは製造上の問題点を発見、改善するための情報を得る上で重要である。近年、回路はますます大規模・複雑化が進み、それに伴って故障診断に要する時間や費用は増加する傾向にあり、故障診断の効率向上は設計期間の短縮やコストの低減のために重要である。

通常、故障は、回路を構成する配線やトランジスタの短絡や断線という形で発生する。これらの物理的欠陥を直接診断することは、対象となる故障の数が膨大であること、またその解析が複雑であることなどから非効率的である。このため、トランジスタや抵抗で構成されている実際の回路を、論理ゲートとそれらを接続する信号線で表現し、これらの論理ゲートや信号線に故障が生じていると仮定して被疑部分を絞り込むことが行われる。このようにして被疑部分を絞り込んだ後、実際の物理的欠陥を特定する処理を行えば、物理的欠陥を直接診断するよりもはるかに効率的である。

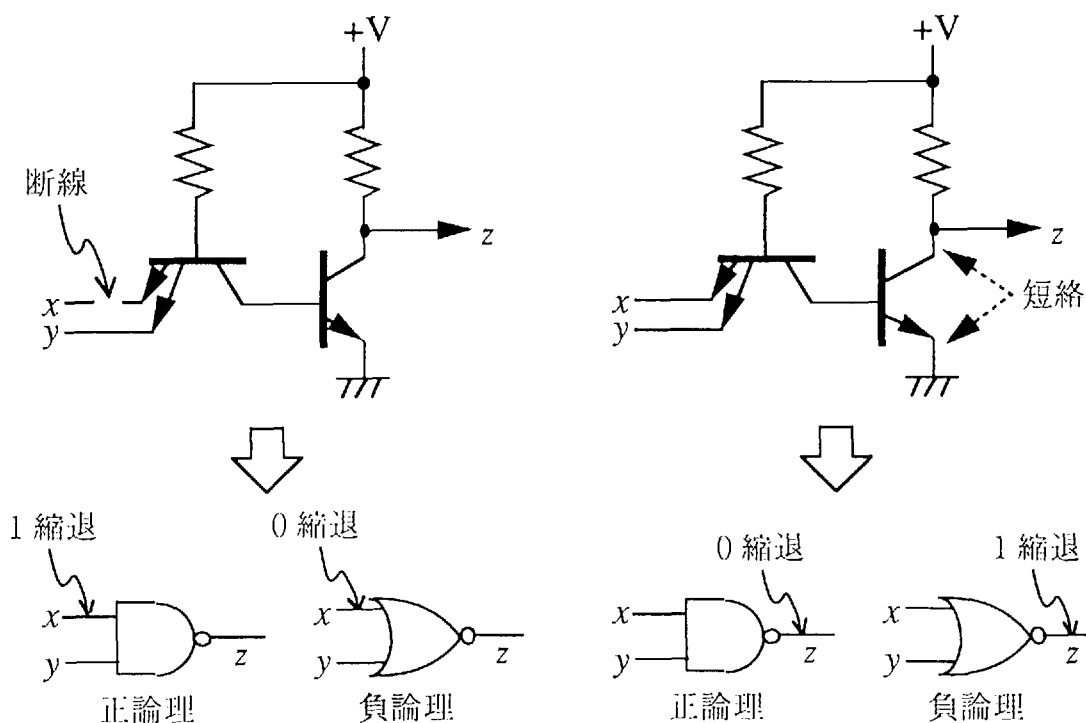
本論文では、論理ゲートや信号線に生じる故障として、故障が生じても論理ゲートの出力値が論理値であるような論理故障 (logical fault) を対象とする。論理故障の代表的なものとしては、縮退故障 (stuck-at fault)、信号線間の短絡故障 (bridging fault) が挙げられる。この他にもCMOS特有のスタックオープン故障 (stuck-open fault) などが考えられているが、本研究では、縮退故障もしくは短絡故障としてモデル化できない故障は全て論理ゲートの機能故障 (gate-functional fault) とし、特に区別しないこととする。以下で、縮退故障、短絡故障および論理ゲートの機能故障について概説する。

### (1) 縮退故障

縮退故障とは、ある素子の入力線もしくは出力線の値が0または1に固定される故障である。図2.1に $x$ ,  $y$ を入力とし、 $z$ を出力とするTTLで実現されたゲートにおいて縮退故障モデルで表わすことのできる故障の例を示す。上段が

トランジスタレベルの表現であり、下段がその論理表現である。同図 (a) は信号線  $x$  が断線した場合を表わしたものである。この故障によって入力  $x$  が常に高い電圧レベル (以下では  $H$  レベルという) にあるかのように動作する。従って、この回路が NAND ゲートとして機能する正論理の場合には、入力  $x$  が常に 1 に固定されたのと同様であり、1 縮退故障としてモデル化できる。これに対して、NOR ゲートとして機能する負論理の場合には、入力  $x$  が 0 に固定されたのと同様であり、0 縮退故障としてモデル化できる。同図 (b) は出力トランジスタのコレクタとエミッタが短絡した場合を示しており、この故障により出力  $z$  が常に低い電圧レベル (以下では  $L$  レベルという) に固定される。従って、この故障は、正論理の場合には出力  $z$  の 0 縮退故障として、負論理の場合には出力  $z$  の 1 縮退故障としてモデル化できる。

縮退故障モデルは、回路中に発生する物理的欠陥の多くを表現でき、またモデルが単純であることなどから広く用いられている。特に、検査用のテストパターンを生成するときには、回路を構成する各論理ゲートの入出力線の 0, 1 縮退故障を対象とするのが一般的である。



(a) 入力線  $x$  の縮退故障

(b) 出力線  $z$  の縮退故障

図 2.1 縮退故障モデルで表わせる故障の例

## (2) 短絡故障

2本の信号線が短絡した場合、短絡した箇所に新たな論理機能が生じる。このような故障を短絡故障という。

図2.2にTTLゲートの出力線同士が短絡した場合の動作を示す。同図(a)がトランジスタレベルでの表現であり、同図(b)がその論理表現である。いま、入力線 $x_0$ がLレベル、 $x_1, y_1$ がHレベルであるとする。故障が存在しなければトランジスタ $T_0$ はオフ状態、 $T_1$ はオン状態となり、 $z_0$ はHレベル、 $z_1$ はLレベルとなる。しかし、 $z_0$ と $z_1$ が短絡している場合には、図中に太線で示す $z_0$ から $T_1$ を通してグランドに至る経路が存在するため、 $z_0, z_1$ ともにLレベルとなる。つまり、短絡した信号線の少なくともどちらか一方がLレベルに駆動されると両方の信号線がともにLレベルになる。従って、正論理の場合には論理0が優勢値となり、短絡故障がANDとして機能する。これをAND短絡(AND bridging fault)という。一方、負論理の場合には論理1が優勢値となるので、短絡故障がORとして機能する。これをOR短絡(OR bridging fault)という。

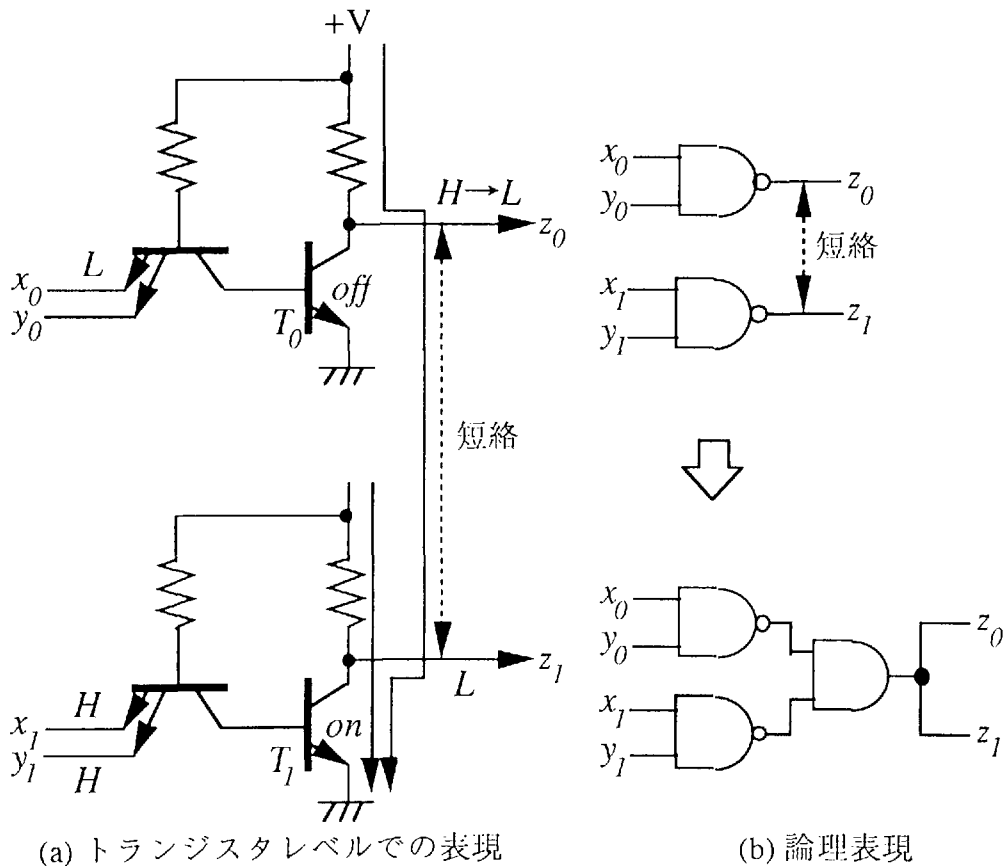


図2.2 短絡故障モデルで表わせる故障の例

TTLやECLなどのバイポーラトランジスタで構成された回路では，回路が正論理・負論理のどちらで構成されているかにより，短絡故障がAND短絡となるかOR短絡となるかが決まる．

### (3) ゲート機能故障

図2.3のCMOSゲートを考える．故障がない場合，入力 $x$ がLレベルのとき，トランジスタ $P_0$ がオン， $N_0$ がオフとなり，出力 $z$ はHレベルとなる． $y$ がLレベルのときも同様である． $x, y$ ともにHレベルであるときは， $P_0, P_1$ がともにオフ， $N_0, N_1$ がともにオンとなり， $z$ はLレベルとなる．いま，図2.3に示す断線が生じている故障ゲートにおいて，入力 $x$ がLレベル， $y$ がHレベルである場合を考える．この場合，トランジスタ $P_0$ と $N_0$ がともにオフとなり， $z$ は電源ともグランドとも接続されないため一つ前の入力における値を保持する．この故障は，前記の縮退故障や短絡故障ではモデル化できない故障の一例である．本論文ではこのような故障をゲート機能故障とモデル化する．

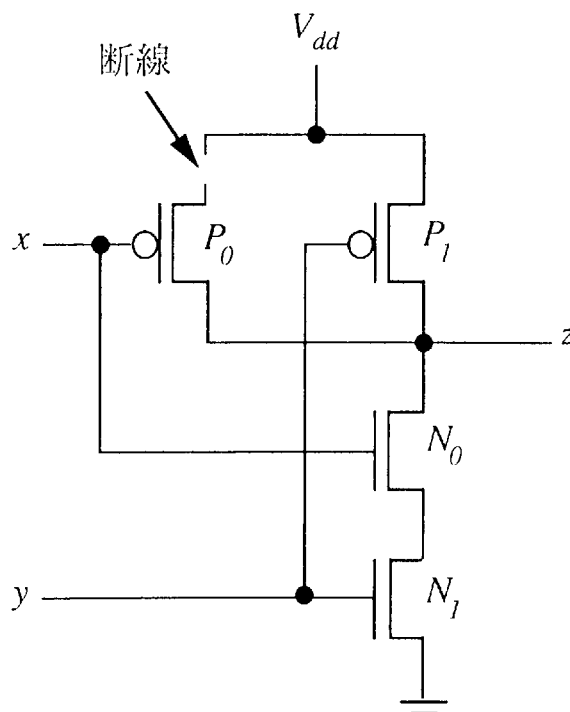


図2.3 ゲート機能故障の例

## 第3章 2線間単一短絡故障の診断法

これまでに提案されている故障診断法のほとんどが主として縮退故障を対象としており、短絡故障についての研究はほとんど行われていない。VLSIでは短絡と断線の発生頻度が同程度であるといわれており、短絡故障についても研究の必要がある。

本章では2本の信号線間のAND (OR) 短絡の診断法について述べる。この手法は、外部出力で観測された誤りの原因を、回路構成とテストパターンから予め作成することのできる診断テーブルを用いて推論するものである。診断テーブルのサイズは(信号線数) $\times$ (テスト数)に比例するのでデータ量が故障辞書法よりはるかに少なく、また診断時間はゲート数にほぼ比例するという利点を有する(1)。

### 3.1 短絡故障回路の動作<sup>(22)</sup>

論理ゲートで構成され、フィードバックループをもたない組合せ回路 $C$ において、2本の信号線間にAND短絡が生じた場合の動作を0遅延モデルの下で考える。

回路 $C$ に、信号線 $a$ から $b$ に至る経路が少なくとも一つ存在する時、この回路は次の部分回路 $C_a$ 、 $C_b$ 、 $C_z$ を図3.1 (a)の実線で示すように接続した回路 $C$ と等価である。

$C_a$  :  $v_a$ を出力、 $V$ を入力とし、各入力から信号線 $a$ に至る全てのゲートよりなる回路。

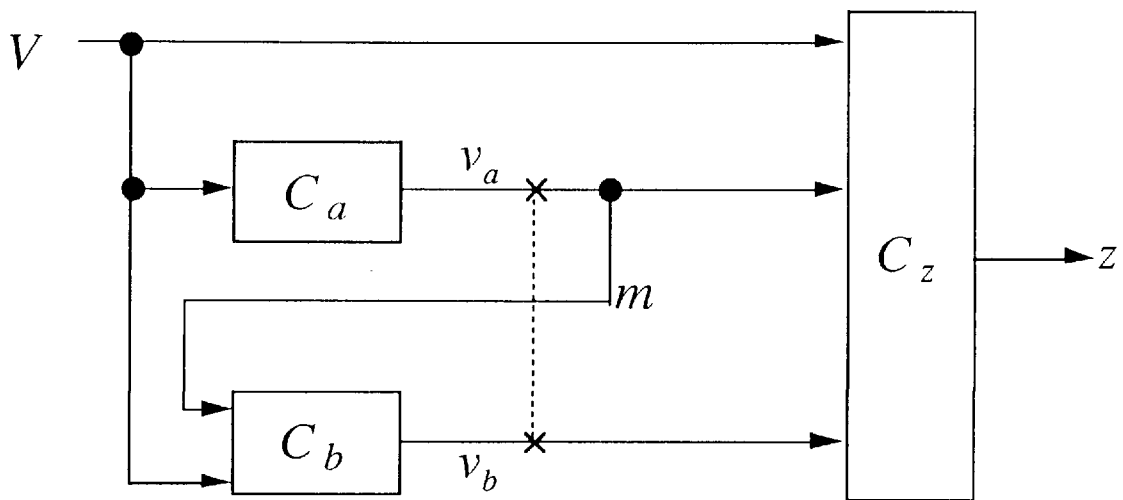
$C_b$  :  $v_b$ を出力、 $V$ および $v_a$ を入力とし、各入力から信号線 $b$ に至る経路上の全てのゲートよりなる回路。

$C_z$  :  $z$ を出力、 $V$ 、 $v_a$ および $v_b$ を入力とし、各入力から $z$ に至る経路上の全てのゲートよりなる回路。

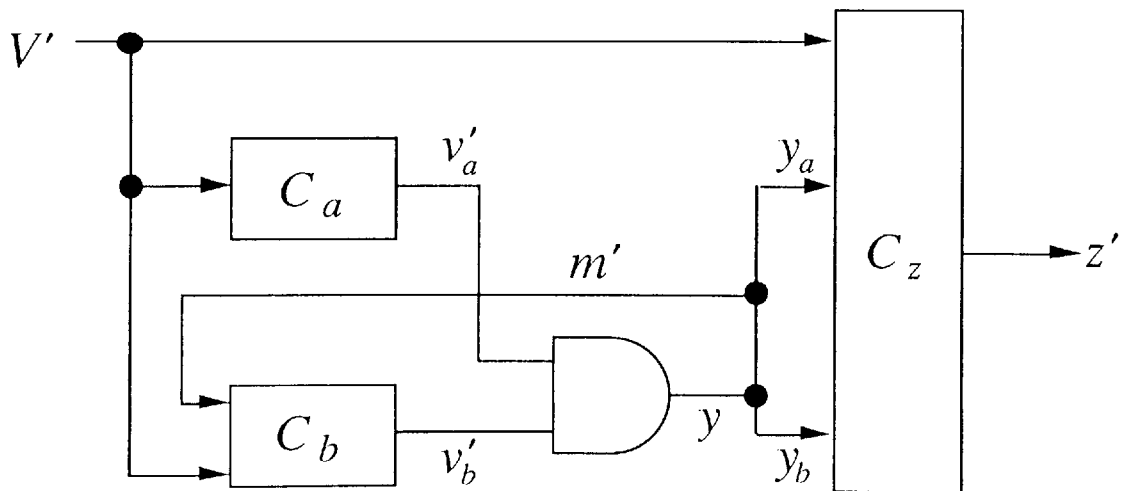
但し、 $V$ 、 $z$ 、 $v_a$ 、 $v_b$ はそれぞれ回路 $C$ の外部入力、外部出力、信号線 $a$ 、 $b$ の信

号を表す。

回路 $C$ の信号線 $a$ と $b$ に短絡故障が存在するときの動作は、回路 $C'$ に破線で示す短絡故障が存在するときの動作と等価である。さらに、この短絡故障がAND短絡である場合は、同図 (b) のようにフィードバックループをもつ非同期順序回路としてモデル化できる。この回路を $C'_{ab}$ と表す。 $V'$ 、 $z'$ 、 $v'_a$ および $v'_b$ は、それぞれ回路 $C$ の $V$ 、 $z$ 、 $v_a$ 、 $v_b$ に対応する。以下で回路 $C'_{ab}$ のものであることを明示するためにダッシュを付す。



(a)  $C'$



(b)  $C'_{ab}$

図 3.1 短絡故障をもつ組合せ回路のモデル

テスト $t_s$ における故障回路 $C'_{ab}$ の振舞いを， $t_s$ における回路 $C$ の信号線 $a$ ， $b$ の信号 $v_{sa}$ ， $v_{sb}$ に関して，表3.1のように分類することができる．なお， $v_{sa} \rightarrow v_{sb}$ は信号線 $a$ から $b$ に至る活性化経路が存在し， $v_{sb}$ の値が $v_{sa}$ によって決まることを，また， $v_{sa} \nrightarrow v_{sb}$ はそうでないことを表す．

表3.1 故障回路 $C'_{ab}$ の振舞い

$v_{sa}$	$v_{sb}$	$v_{sa} \rightarrow v_{sb}$	$v_{sa} \nrightarrow v_{sb}$
1	1	保持	正常
1	0	発振	$a$ に0誤り
0	1	$b$ に0誤り	
0	0	正常	

表3.1の“正常”とは誤りが発生しないことを表す．また“保持”，“発振”とは，フィードバックループの作用により，以下に例示するような現象が生じることを表す．

[例3.1] 図3.2の回路 $C$ において，信号線 $d$ と $l$ にAND短絡が生じた場合，この回路は図3.3(a)のようにモデル化できる．この故障回路 $C'_{dl}$ に表3.2(a)のテストを行なった場合は，(b)のように動作する．

・正常回路 $C$ ではテスト $t_1$ において $v_{ld}=v_{ll}=1$ であるが，故障回路 $C'_{dl}$ ではテスト $t_0$ での値を保持するため，テスト $t_1$ において $v_{ld}=v_{ll}=0$ となる．

・ $C'_{dl}$ にテスト $t_2$ を加えると信号線 $d$ と $l$ には0と1が交互に現れ発振する． □

信号線 $a$ から $b$ に至る経路が存在しない場合は，図3.1(b)の回路で信号線 $m$ がない特別な場合と考えることができる．この場合は常に $v_{sa} \nrightarrow v_{sb}$ である．従って，表3.1より，AND短絡した信号線の少なくとも一方の値が0であるとき，両方の値が0になる．

[例3.2] 図3.2の回路において，信号線 $i$ と $j$ にAND短絡が生じた場合，図3.3(b)のようにモデル化できる．入力 $(a,b,c,d,e)=(0,1,1,0,1)$ を加えたとき，図3.2の正常回路では $i=1$ ， $j=0$ であるが，図3.3(b)の故障回路では $i$ の値が故障の影響により0に誤り， $i=j=0$ となる． □

ワイアードORとして機能する短絡故障の場合は，図3.1(b)の回路でANDゲートの代わりにORゲートを挿入することにより同様に考えることができるので，以下ではAND短絡についてのみ述べる．

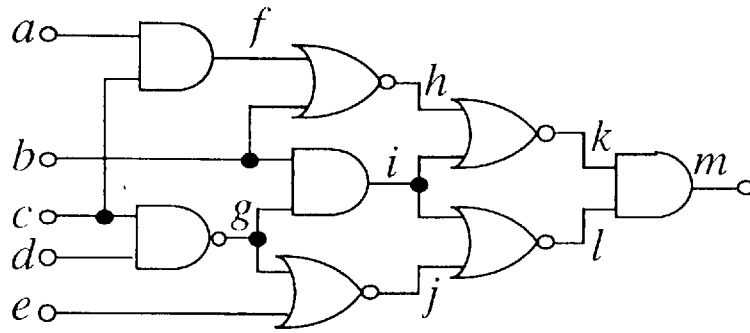
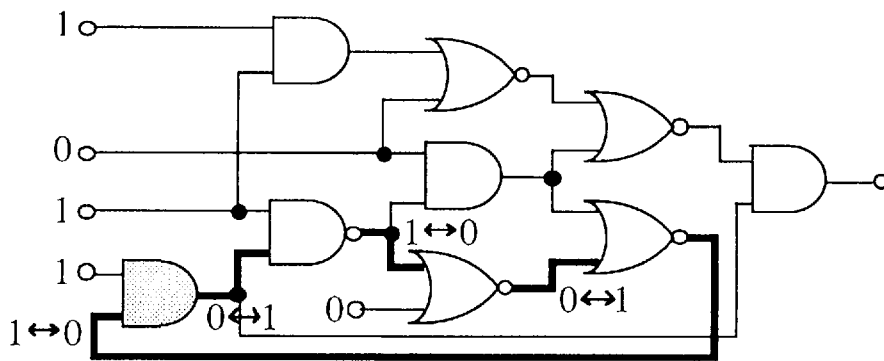
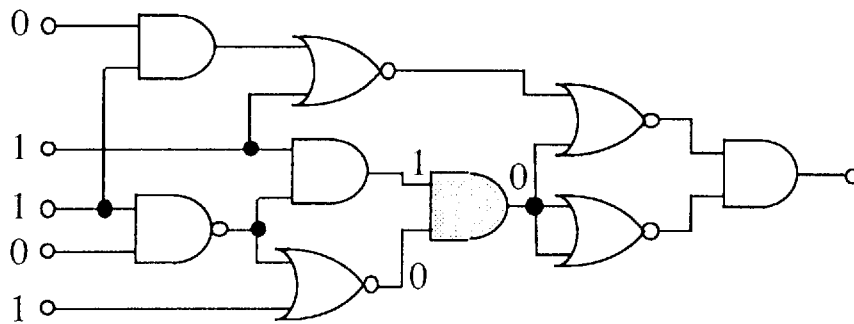


図 3.2 被検査回路 C



(a) フィードバックループを生じる短絡故障の例



(b) フィードバックループを生じない短絡故障の例

図 3.3 短絡故障回路の動作

表 3.2 保持, 発振の例

(a) テスト						(b) 故障回路での各信号線の値															
	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>m</i>		<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	<i>h</i>	<i>i</i>	<i>j</i>	<i>k</i>	<i>l</i>	<i>m</i>	
$t_0$	0	1	0	0	0	0	$t_0$	0	1	0	0	0	0	1	0	1	0	0	0	0	0
$t_1$	0	1	1	1	1	1	$t_1$	0	1	1	0	1	0	1	0	1	0	0	0	0	0
$t_2$	1	0	1	1	0	0	$t_2$	1	0	1	<i>x</i>	0	1	<i>x</i>	0	0	<i>x</i>	1	<i>x</i>	<i>x</i>	<i>x</i>

### 3.2 診断テーブルの定義

テスト  $T = \{t_0, t_1, \dots, t_n\}$  を行なったときに外部出力で観測された誤りの原因を正常回路の各信号線の値をもとに推定するために、以下に示すような診断テーブルを作成する。ただし、ファンアウトは全て等電位であるとし、外部入力線および論理ゲートの出力線のみを対象とする。

$t_i \in T$  を正常回路に加えたときの信号線  $a$  の値を  $v_{ia}$  とするとき、各テストを行、各信号線を列とする診断テーブルの要素  $d_{ia}$  を次のように定義する。

1)  $v_{ia} = 0$  の場合

$$d_{ia} = 0$$

∵ 信号線  $a$  に AND 短絡が生じて、 $a$  に 1 誤りが発生することはない

2)  $v_{ia} = 1$  の場合

信号線  $a$  の値を 0 に固定したときに外部出力で誤りが観測される場合

$$d_{ia} = e$$

信号線  $a$  の値を 0 に固定しても外部出力で誤りが観測されない場合

$$d_{ia} = u$$

このような診断テーブルは、それぞれの信号線の 0 縮退故障に対するシミュレータを流用して容易に作成することができる。

[例 3.3] 図 3.2 の回路の表 3.2 (a) のテストに対する診断テーブルは表 3.3 のように得られる。□

表 3.3 診断テーブル

	<i>a b c d e</i>	<i>f g h i j k l</i>	<i>m</i>
$t_0$	<i>u</i>	<i>u e</i>	
$t_1$	<i>e e e e</i>		<i>e e e</i>
$t_2$	<i>u u e</i>	<i>u e u</i>	

※但し 0 の記入は省略

### 3.3 出力異常の観測される条件

故障回路 $C'_{ab}$ にテスト $t_s$ を行なったときに、外部出力で0誤り、1誤りまたは発振が観測される条件は、表3.1と診断テーブルの定義から次のように求められる。なお、信号線 $a$ と $b$ のテスト $t_s$ における診断テーブルの要素の対を $(d_{sa}, d_{sb})$ と表すことにする。また2本の信号線間に経路が存在する場合は、外部入力に近い方を左側に書くことにする。

#### (1) $v_{sa}=v_{sb}=1$ , $v_{sa} \rightarrow v_{sb}$ の場合

フィードバックループの作用によって $y$ の値が0に保持されたとき、信号 $y_a$ と $y_b$ の両方が0に誤る。このとき、部分回路 $C_z$ の入力は $(V, y_a, y_b) = (t_s, 0, 0)$ となる。一方、 $v_{sa} \rightarrow v_{sb}$ であるから、回路 $C$ において信号線 $a$ の値を0に固定したときの部分回路 $C_z$ の入力 $(V, v_{sa}, v_{sb})$ も $(t_s, 0, 0)$ となる。3.1で述べたように、回路 $C'$ は回路 $C$ と等価である。従って、出力異常が観測できるかどうかを $d_{sa}$ の値によって決めることができる。上記より、 $t_s$ より一つ前のテストにおける $y$ の値が0で、かつ $(d_{sa}, d_{sb}) = (e, u)$ または $(e, e)$ ならば外部出力で誤りが観測される。

#### (2) $v_{sa}=1$ , $v_{sb}=0$ , $v_{sa} \rightarrow v_{sb}$ の場合

フィードバックループの作用によって $y$ の値が発振する。従って、 $(d_{sa}, d_{sb}) = (e, 0)$ であれば、 $y=0$ において外部出力の値が回路 $C$ の値と異なるので、発振または誤りが観測される。また、 $(d_{sa}, d_{sb}) = (u, 0)$ であっても、 $y=1$ における外部出力の値が回路 $C$ の値と異なるときには発振が観測される。

#### (3) $v_{sa}=1$ , $v_{sb}=0$ , $v_{sa} \nrightarrow v_{sb}$ の場合

$y_a$ のみ0に誤るので、 $(d_{sa}, d_{sb}) = (e, 0)$ ならば外部出力で誤りが観測される。

#### (4) $v_{sa}=0$ , $v_{sb}=1$ の場合

$y_b$ のみ0に誤るので、 $(d_{sa}, d_{sb}) = (0, e)$ ならば外部出力で誤りが観測される。

表3.1より、上記の場合以外で外部出力で誤りまたは発振が観測されることはない。

### 3.4 短絡故障の条件

3.3 で述べた出力異常が観測される条件(1)~(4)より、次のような短絡故障の条件が求められる。

$T=\{t_0, t_1, \dots\}$ によるテストを行なったとき、その結果にしたがって $T$ を $T_x$ ,  $T_e$ ,  $T_n$ に分割する：

$T_x$ ：外部出力で発振の観測されたテスト全てを要素とする集合。

$T_e$ ：外部出力で0誤りまたは1誤りが観測され、かつ発振が観測されなかったテスト全てを要素とする集合。

$T_n$ ：外部出力で誤りも発振も観測されなかったテスト全てを要素とする集合。  
このとき、もし信号線 $a$ と $b$ が短絡しているとすれば、次の条件を全て満たさなければならない。

(1)  $a$ から $b$ に至る経路が存在するとき：

CF1：全ての $t_i \in T_x$ で条件(2)が満たされなければならない。すなわち、

$$(d_{ia}, d_{ib}) = (e, 0) \text{ または } (u, 0)$$

CF2：全ての $t_i \in T_e$ で条件(1), (3)または(4)のいずれかが満たされなければならない。すなわち、

$$(d_{ia}, d_{ib}) = (e, u), (e, e), (e, 0) \text{ または } (0, e)$$

CF3：条件(2), (3)および(4)から、 $(d_{ia}, d_{ia}) = (e, 0)$ または $(0, e)$ ならば、テスト $t_i$ では必ず出力異常が観測される。従って、全ての $t_i \in T_n$ で

$$(d_{ia}, d_{ib}) \neq (e, 0), (0, e)$$

(2)  $a$ から $b$ に至る経路が存在しないとき：

CN1：全ての $t_i \in T_e$ で条件(3), (4)のいずれかが満たされなければならない。すなわち、

$$(d_{ia}, d_{ib}) = (0, e) \text{ または } (e, 0)$$

CN2：全ての $t_i \in T_n$ で条件(3), (4)を満たしてはならない。すなわち、

$$(d_{ia}, d_{ib}) \neq (0, e), (e, 0)$$

### 3.5 診断手順

診断テーブルと短絡故障の条件CF1～3およびCN1～2を用いた診断手順を以下に述べる：

- (1) 集合 $T_x$ ,  $T_e$ および $T_n$ を求める．また，1誤りの観測された外部出力線が短絡していないことは明らかであるので，これらを除く全ての信号線を要素とする集合を $L$ とする．
- (2)  $T_e \neq \phi$  (空集合) のときは $T_e$ に含まれるテストから， $T_e = \phi$  のときは $T_x$ に含まれるテストから，異常の観測された外部出力線の数が多いテストを任意の一つを選び，このテストを $t_s$ とする．またテスト $t_s$ で誤りの観測された外部出力線の集合を $P$ とする．
- (3) テスト $t_s$ において，値0をもつ信号線との短絡によりその信号線に0誤りが発生したとき，その0誤り(ただし $t_s \in T_x$ のときは1誤りも考える)が $P$ に含まれる全ての外部出力線に伝播し得る信号線を全て求め，その集合を $E$ とする(短絡している信号線の一方は必ず $E$ に含まれている)．
- (4)  $E$ の任意の要素を一つ選択し，それを $l_a$ とする． $l_a$ との間に経路が存在し，かつ集合 $L$ の要素である信号線を全て求め，その集合を $F_a$ とする．
- (5) 全ての $l_f \in F_a$ に対して $l_f$ と $l_a$ の診断テーブルの要素の各対がCF1～3の全てを満たしているかどうかを調べる．満たしていれば $l_a$ と $l_f$ に短絡の可能性はある．  
外部出力で発振が観測されているときは(8)へ．
- (6)  $l_a$ との間に経路が存在せず，かつ集合 $L$ の要素である信号線を全て求め，その集合を $N_a$ とする．
- (7) 全ての $l_n \in N_a$ に対して $l_n$ と $l_a$ の診断テーブルの要素の各対がCN1, 2の両方を満たしているかどうかを調べる．満たしていれば， $l_a$ と $l_n$ に短絡の可能性はある．
- (8) 集合 $E$ および $L$ から $l_a$ を除く． $E \neq \phi$ であれば(4)へ戻る． $E = \phi$ であれば診断終了． □

前記の診断手順による診断例を以下に示す．

[例3.4] 図3.2の回路に表3.4(a)のテストを行なったときに(b)の観測値が得られたとする．但し， $x$ は発振が観測されたことを意味する．(a)のテスト

に対する診断テーブルを(c)に示す。なお、ここでは信号線*a*と*b*の短絡を(*a*・*b*)と表すことにする。

(1) 集合 $T_x$ ,  $T_e$ ,  $T_n$ および $L$ を求める。

$$T_x = \{t_1\}$$

$$T_e = \{t_2, t_3\}$$

$$T_n = \{t_0\}$$

$$L = \{a, b, c, d, e, f, g, h, i, j, k, l\}$$

(2)  $T_e$ の要素は $t_2$ および $t_3$ である。 $t_2$ ,  $t_3$ で誤りが観測された外部出力線数とともに1である。この場合、 $t_s$ として $t_2$ ,  $t_3$ のどちらを選んでもよい。ここでは、 $t_s = t_2$ とする。 $t_2$ で誤りの観測された外部出力線は*m*のみであるから、 $P = \{m\}$ 。

(3)  $t_2$ において値0を持つ信号線との短絡によりその信号線に0誤りが発生したとき、その0誤りが*m*に伝播し得る信号線を求めると、

$$E = \{b, g, i\}.$$

(4-1)  $b \in E$ を選択し、

$$F_b = \{h, i, k, l\}$$

を求める。

(5-1) 全ての $l_f \in F_b$ と*b*の診断テーブルの要素の各対に条件CF1~3を適用する。

$$(b \cdot h) : t_0 \in T_n \text{で } (d_{0b}, d_{0h}) = (0, e).$$

CF3を満たさない。

$$(b \cdot i) : t_3 \in T_e \text{で } (d_{3b}, d_{3i}) = (0, 0).$$

CF2を満たさない。

$$(b \cdot k) : t_1 \in T_x \text{で } (d_{1b}, d_{1k}) = (e, e).$$

CF1を満たさない。

表3.4 テスト, 診断テーブル, 観測値

(a) テスト						(b) 観測値		(c) 診断テーブル															
	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>m</i>		<i>m</i>		<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	<i>h</i>	<i>i</i>	<i>j</i>	<i>k</i>	<i>l</i>	<i>m</i>	
$t_0$	0	0	1	0	1	0	$t_0$	0	$t_0$		<i>u</i>		<i>u</i>		<i>u</i>		<i>e</i>					<i>u</i>	
$t_1$	0	1	1	1	1	1	$t_1$	<i>x</i>	$t_1$	<i>e</i>	<i>e</i>	<i>e</i>	<i>e</i>								<i>e</i>	<i>e</i>	<i>e</i>
$t_2$	1	1	1	0	1	0	$t_2$	1	$t_2$	<i>u</i>	<i>e</i>	<i>u</i>		<i>u</i>	<i>u</i>	<i>e</i>		<i>e</i>					
$t_3$	1	0	1	0	0	1	$t_3$	0	$t_3$	<i>e</i>		<i>e</i>			<i>e</i>	<i>e</i>					<i>e</i>	<i>e</i>	<i>e</i>

$$(b \cdot l) : t_l \in T_x \text{ で } (d_{1b}, d_{1l}) = (e, e).$$

CF1を満たさない.

∴信号線**b**は短絡していない.

$$(8-1) E = \{g, i\}$$

$$L = \{a, c, d, e, f, g, h, i, j, k, l\}$$

$$(4-2) g \in E \text{ を選択し,}$$

$$F_g = \{c, d, i, j, k, l\}$$

を求める.

(5-2) 全ての  $l_f \in F_g$  と  $g$  の診断テーブルの要素の各対に条件CF1~3を適用する.

$$(c \cdot g) : t_2 \in T_e \text{ で } (d_{2c}, d_{2g}) = (u, e).$$

CF2を満たさない.

$$(d \cdot g) : \text{CF1} \sim \text{CF3} \text{ を全て満たす.}$$

$$(g \cdot i) (g \cdot j) (g \cdot k) (g \cdot l) : t_l \in T_x \text{ で } d_{lg} = 0.$$

CF1を満たさない.

∴(d · g) に短絡の可能性がある.

$$(8-2) E = \{i\}$$

$$L = \{a, c, d, e, f, h, i, j, k, l\}$$

$$(4-3) i \in E \text{ を選択し,}$$

$$F_i = \{c, d, k, l\}$$

を求める.

(5-3) 全ての  $l_f \in F_i$  と  $i$  の診断テーブルの要素の各対に条件CF1~3を適用する.

$$(c \cdot i) : t_2 \in T_e \text{ で } (d_{2c}, d_{2i}) = (u, e).$$

CF2を満たさない.

$$(d \cdot i) : t_3 \in T_e \text{ で } (d_{3d}, d_{3i}) = (0, 0).$$

CF2を満たさない.

$$(i \cdot k) (i \cdot l) : t_l \in T_x \text{ で } d_{li} = 0.$$

CF1を満たさない.

∴信号線**i**は短絡していない.

$$(8-3) E = \phi \text{ となったので, 診断終了.}$$

上記より, (d · g) の短絡故障と診断する. □

### 3.6 性能評価

3.5で述べた手法に基づく診断プログラムを、C言語を用いてSUN4/60上にインプリメントした。性能評価には、ISCAS'85ベンチマーク回路とFANアルゴリズム<sup>(26)</sup>によって生成された単一縮退故障検出用のテストパターンを用いた。付録に回路の諸元とテスト入力数を示す。評価実験は、各回路毎にランダムにサンプルした420個の短絡故障について行った。

短絡故障は、フィードバックループを生じない故障と生じる故障に分類できる。フィードバックループを生じる故障は、さらに、発振を生じない故障と発振の可能性をもつ故障に分けることができる。そこで、表3.5では、サンプルした故障がこの三つのタイプに分けられ、それぞれのタイプに対する実験結果が(a), (b), (c)に示されている。なお、サンプル数の合計が420以下であるのは、与えられたテストパターンでは検出できない故障が含まれていたことによる。

表3.5(a)に示すように、フィードバックループを生じない故障に対する観測値から求められる診断解に、フィードバックループを生じる故障(但し、与えられたテストパターンでは発振が観測されないもの)が含まれている。逆に、(b)では、診断解にフィードバックループを生じない故障が含まれている。3.5に示した診断手順では、これらを分離できないことに注意されたい。

診断に要する平均時間は、C3540(ゲート数:1669)で3秒程度であり、ゲート数にはほぼ比例している。また、分解能は平均で数十程度である。なお、ここでいう分解能とは、与えられたテスト集合で得られた診断解の数をいう。

平均分解能の欄の( )内には、与えられたテストパターンで達成可能な最大分解能が示されている。ただ一つのテストに対する誤りの原因を推論する簡単なアプローチにもかかわらず、診断解の数が最大分解能の数倍程度であることに注意されたい。

図3.4は、分解能の分布を例示するものであり、他の回路についても同様の分布が得られている。表3.5よりC3540の分解能の平均値は30~60であるが、図3.4のように、故障に対する分解能の多くは10以下となっている。

表 3.5 実験結果

(a) フィードバックループを生じない故障の診断結果

回路名	C1355	C3540	C5315	C7552
サンプル数	117	119	120	120
平均分解能	40.2 (6.6)	35.3 (17.9)	2.3 (1.1)	4.3 (2.4)
フィードバックのない故障	5.1	17.8	1.2	2.5
フィードバックのある故障	35.1	17.5	1.1	1.8
平均診断時間 (sec)	1.33	3.1	3.5	7.1

(b) フィードバックループを生じるが発振を生じない故障の診断結果

回路名	C1355	C3540	C5315	C7552
サンプル数	178	108	117	108
平均分解能	39.9 (10.5)	68.4 (29.8)	7.8 (4.6)	27.3 (18.1)
フィードバックのない故障	2.5	31.6	1.3	15.4
フィードバックのある故障	37.4	36.8	6.5	11.9
平均診断時間 (sec)	1.1	3.3	3.4	7.4

(c) 発振を生じる故障の診断結果

回路名	C1355	C3540	C5315	C7552
サンプル数	117	180	177	168
平均分解能	13.8 (2.6)	4.8 (1.6)	1.7 (1.1)	2.4 (1.1)
平均診断時間 (sec)	0.8	2.5	3.2	6.1

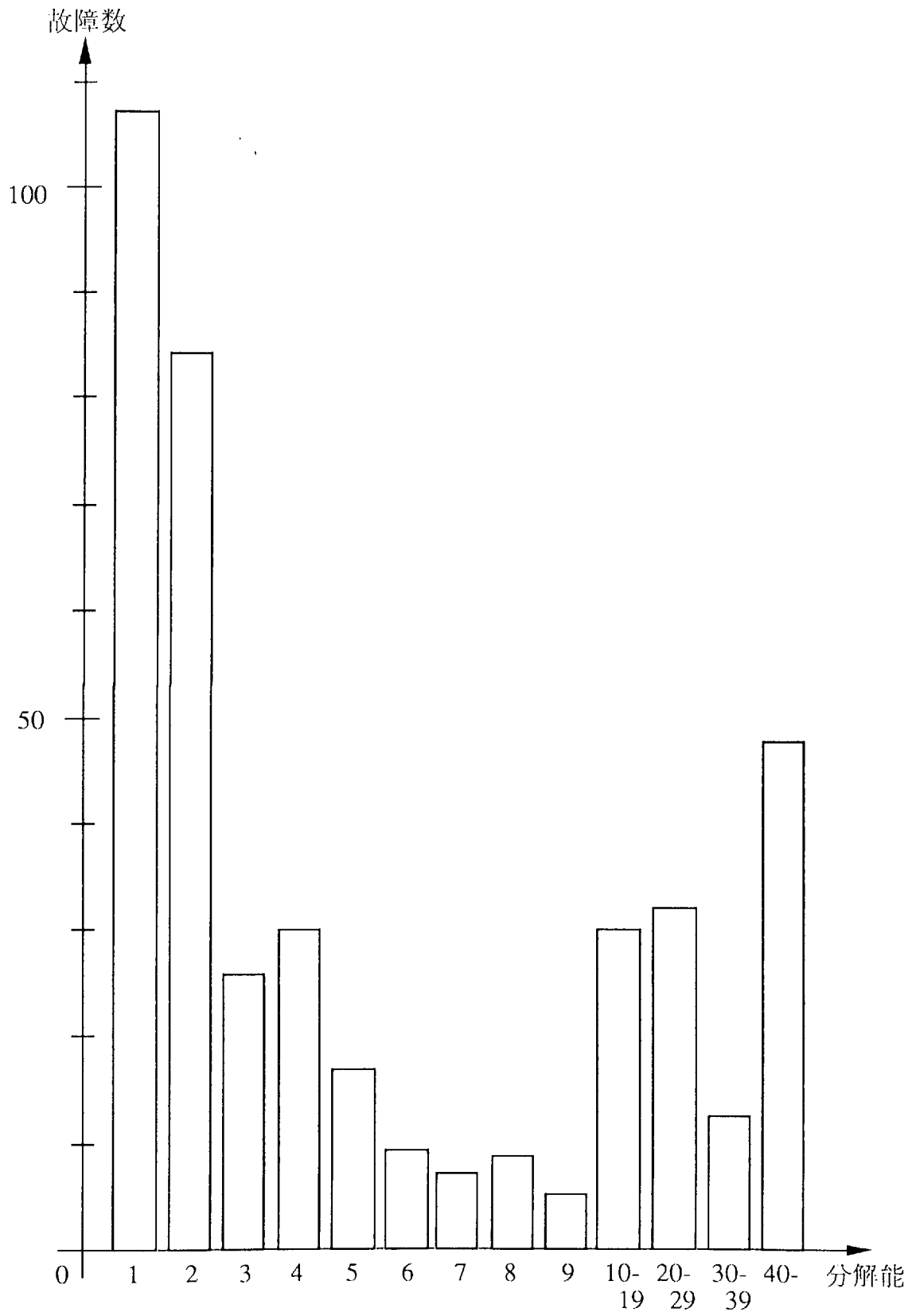


図 3.4 分解能の分布

### 3.7 まとめ

(信号線数)×(テスト数)に比例したサイズの診断テーブルを用いて外部出力の観測値から2本の信号線間の単一短絡故障を診断する方法を提案し、計算機実験により性能評価を行なった。実験結果は、単一縮退故障検出用のテスト入力を用いた場合、ゲート数に比例する程度の時間で被疑部分を数十程度に絞り込むことが可能であることを示している。被疑部分をこの程度にまで絞り込むことができれば、与えられたテストパターンで達成可能な最大分解能を得るための故障シミュレーションや、故障箇所を指摘するための電子ビームテストなどによる測定が現実的な時間で行えるであろう。なお、実際の回路には遅延が存在するので、0遅延モデルでは生じる“保持”，“発振”が生じない場合もあることに注意されたい。ランダムにサンプルした故障の中にFANアルゴリズムで生成した単一縮退故障検出用のテスト集合では検出できない故障が含まれていたため、短絡故障検出用のテスト生成についても検討が必要であると思われる。

## 第4章 単一短絡故障の検出率の評価法

一般に、診断に用いるテストとしては、診断の対象となる故障の検出率が高い方が診断解の精度が高くなる傾向にある。従って、短絡故障の診断を行う上では、短絡故障に対する故障検出率を評価する必要がある。文献(23)では、小規模な回路についてはあるが、単一縮退故障検出用のテストパターンによる単一短絡故障の検出率が評価されており、また短絡故障のテスト生成についても考察がなされている。このような研究・開発を進めるためには、大規模な回路に対して短絡故障の検出率を効率よく評価できるツールを開発することが必要不可欠である。

ベル研のLAMPシステムには、ディダクティブ法にもとづく短絡故障のシミュレータがインプリメントされている<sup>(24)</sup>。しかし、起こりうる単一短絡故障の数は回路規模の2乗に比例するので（但し、レイアウトを考慮するとその数はかなり減少する）、大規模な回路では故障リストが膨大なものとなってしまい、この方法は必ずしも効率がよいとはいえない。これに対して、縮退故障と短絡故障が検出される条件の關係に着目し、縮退故障のシミュレータを活用して短絡故障の検出率を評価する方法<sup>(25)</sup>が提案されている。この方法は、フィードバックループを生じる短絡故障の評価が不十分ではあるが、処理効率の大幅な向上が期待できる。

本章では、文献(25)の方法を拡張して、フィードバックループを生じる短絡故障についての問題点を解決した評価法について述べる。また、計算機実験による性能評価の結果を示す<sup>(2)</sup>。

### 4.1 評価手順

3.3で、短絡故障が生じている回路にテストを行ったときに外部出力で異常が観測される条件(1)~(4)を示した。この条件(1)~(4)の場合以外で出力異常が観測されることはないので、ある短絡故障が検出可能であるか否かを調べるには、条件(1)~(4)のいずれかを満たすテストが存在するか否かを調べればよい。

以下に、3.3で示した条件(1)~(4)を用いたAND短絡の検出率の評価手順を述べる。OR短絡の場合も同様に考えることができる：

任意の2本の信号線の組の全てを要素とする集合を $F$ ，与えられたテストパターンで検出できる単一短絡故障の集合を $D=\phi$ （空集合），検出できない単一短絡故障の集合を $U=\phi$ とする。ただし，ANDおよびNANDゲートのファンアウトを持たない入力線間の短絡故障は冗長であるので，予め $F$ から除去しておく。

- (1) 条件(2)，(3)，(4)より， $(d_{sa}, d_{sb})=(0, e)$ または $(e, 0)$ であれば，信号線 $a$ と $b$ の短絡はテスト $t_s$ で検出可能である。このような $t_s$ が一つでも存在する信号線の組の全てを $F$ から除去し， $D$ の要素とする。
- (2)  $F$ の要素のうち，2線間に経路が存在しない場合は常に $v_{sa} \neq v_{sb}$ であるので，条件(3)，(4)より，検出できない。従って，このような信号線の組の全てを $F$ から除去し， $U$ の要素とする。
- (3) 条件(1)，(2)より， $F$ の要素で $(d_{sa}, d_{sb})=(e, e)$ ， $(e, u)$ または $(u, 0)$ であるテスト $t_s$ が存在しないものは検出できない。従って，このような信号線の組の全てを $F$ から除去し， $U$ の要素とする。
- (4)  $F$ の要素のうち， $(d_{sa}, d_{sb})=(e, e)$ または $(e, u)$ ， $v_{sa} \rightarrow v_{sb}$ ，かつ一つ前のテスト $t_{s-1}$ で $y=0$ （注参照）であるテスト $t_s$ が存在するものは，条件(1)より検出可能である。従って，このような信号線の組の全てを $F$ から除去し， $D$ の要素とする。
- (5)  $F$ の要素のうち， $(d_{sa}, d_{sb})=(u, 0)$ ， $v_{sa} \rightarrow v_{sb}$ ，かつ $b$ を1に固定したときの外部出力の値が期待値と異なるテスト $t_s$ が存在するものは，条件(2)より検出可能である。従って，このような信号線の組の全てを $F$ から除去し， $D$ の要素とする。
- (6) 与えられたテストパターンで $F$ の残りの要素を検出することはできない。従って $F$ の残りの要素の全てを $U$ の要素とする。□

注) テスト $t_{(s-j)}$ において $v_{(s-j)b}=0$ であり，テスト $t_{(s-j+1)} \sim t_{(s-1)}$ の任意のテスト $t_k$ で $(v_{ka}, v_{kb})=(1, 1)$ かつ $v_{ka} \rightarrow v_{kb}$ であるとき，テスト $t_{s-1}$ で $y=0$ であると判定する。この判定は，論理シミュレーションを用いて行っている。

[例 4.1] 図 3.2 の回路の表 4.1 (a) のテストに対する検出率を上記の手順により評価する. (a) のテストに対する診断テーブルは (b) である. なお, ここでは信号線  $a$  と  $b$  の短絡を  $(a \cdot b)$  と表すことにする.

- (1) 冗長故障である  $(k \cdot l)$  と,  $(d_{sa}, d_{sb}) = (0, e)$  または  $(e, 0)$  であるテスト  $t_5$  をもつ信号線の組を  $F$  から除去する.

$$F = \{(a \cdot f), (a \cdot g), (b \cdot e), (c \cdot k), (c \cdot l), (c \cdot m), (d \cdot e), (f \cdot g), (k \cdot m), (l \cdot m)\}$$

- (2)  $F$  の要素のうち, 2 線間に経路の存在しないものを  $F$  から除去し,  $U$  の要素とする.

$$F = \{(a \cdot f), (c \cdot k), (c \cdot m), (k \cdot m), (l \cdot m)\}$$

$$U = \{(a \cdot g), (b \cdot e), (c \cdot l), (d \cdot e), (f \cdot g)\}$$

- (3)  $F$  の各要素について,  $(e, e)$ ,  $(e, u)$  または  $(u, 0)$  であるテストが少なくとも一つ存在する.

- (4)  $F$  の各要素について,

- ・  $(a \cdot f)$

$$(d_{6a}, d_{6f}) = (e, e), \quad v_{6a} \rightarrow v_{6f}$$

$$(d_{5a}, d_{5f}) = (u, u), \quad v_{5a} \rightarrow v_{5f}$$

$$(v_{4a}, v_{4f}) = (0, 0)$$

であるから  $t_6$  で検出可能.

- ・  $(c \cdot k)$

$$(d_{1c}, d_{1k}) = (e, e), \quad v_{1c} \rightarrow v_{1k}$$

$$(v_{0c}, v_{0k}) = (1, 0)$$

であるから  $t_7$  で検出可能.

- ・  $(c \cdot m)$

$$(d_{1c}, d_{1m}) = (e, e), \quad v_{1c} \rightarrow v_{1m}$$

$$(v_{0c}, v_{0m}) = (1, 0)$$

であるから  $t_7$  で検出可能.

- ・  $(k \cdot m)$

$$(d_{1k}, d_{1m}) = (e, e), \quad v_{1k} \rightarrow v_{1m}$$

$$(v_{0k}, v_{0m}) = (0, 0)$$

であるから  $t_7$  で検出可能.

・  $(l \cdot m)$

$$(d_{1l}, d_{1m}) = (e, e), \quad v_{1l} \rightarrow v_{1m}$$

$$(v_{0l}, v_{0m}) = (1, 0)$$

であるから  $t_j$  で検出可能.

従って,  $F = \phi$  となり, 終了.

上記より, 未検出故障は

$$U = \{(a \cdot g), (b \cdot e), (c \cdot l), (d \cdot e), (f \cdot g)\}.$$

□

表 4.1 テスト, 診断テーブル

(a) テスト

(b) 診断テーブル

	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>m</i>
$t_0$	0	0	1	0	1	0
$t_1$	0	1	1	1	1	1
$t_2$	0	0	1	1	1	0
$t_3$	0	1	1	1	0	0
$t_4$	1	1	1	0	1	0
$t_5$	1	1	0	1	1	0
$t_6$	1	0	1	0	0	1

	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	<i>h</i>	<i>i</i>	<i>j</i>	<i>k</i>	<i>l</i>	<i>m</i>
$t_0$		<i>u</i>	<i>u</i>	<i>u</i>	<i>e</i>							<i>u</i>	
$t_1$		<i>e</i>	<i>e</i>	<i>e</i>	<i>e</i>							<i>e</i>	<i>e</i>
$t_2$			<i>u</i>	<i>u</i>	<i>u</i>		<i>e</i>					<i>u</i>	
$t_3$		<i>u</i>	<i>u</i>	<i>u</i>							<i>e</i>	<i>u</i>	
$t_4$	<i>u</i>	<i>e</i>	<i>u</i>	<i>u</i>	<i>e</i>			<i>e</i>					
$t_5$	<i>u</i>	<i>u</i>		<i>u</i>	<i>u</i>		<i>e</i>		<i>e</i>				
$t_6$	<i>e</i>	<i>e</i>				<i>e</i>	<i>e</i>					<i>e</i>	<i>e</i>

## 4.2 性能評価

4.1で述べた手法に基づくプログラムをC言語を用いてSUN4/60上にインプリメントした。性能評価には、ISCAS'85ベンチマーク回路とFANアルゴリズムによって生成された単一縮退故障検出用のテストパターンを用いた。

表4.2にテーブルの作成時間、評価に要した時間および故障の検出率を示す。また図4.1にテーブルの作成から手順(3)までに要した時間(100パターン当りに換算)とゲート数の関係を示す。

文献(23)では、規則性をもった回路でテスト数が極端に少ない場合は別として、単一縮退故障検出用のテストパターンで単一短絡故障の98%以上の検出が可能であると述べているが、実験結果はこれを裏付けている。

文献(25)の手法では考察されていなかった“保持”，“発振”により、更に数百個程度の故障が検出可能となっている。

回路規模に対するテーブル作成時間は、単一縮退故障の場合のシミュレーション時間とほぼ同じオーダー(回路規模の2乗以下)である。また、手順(3)までに要する時間は、基本的には2乗のオーダーのはずであるが、図4.1(b)では1乗以下となっている。これは、回路構造とテストにもよると思われるが、大半の故障がテストパターンの最初の方で検出されるためであると思われる。

表4.2 実験結果

回路名	CPU時間(sec)			検出率(%)	
	テーブル作成	手順3まで	手順6まで	手順3まで	手順6まで
C880	2.9	1.4	6.1	99.76	99.92
C1355	7.9	5.2	70.8	98.09	98.19
C1908	19.9	8.1	71.3	99.31	99.43
C2670	36.1	25.7	228.9	99.23	99.30
C3540	60.4	56.9	1031.1	98.74	98.79
C5315	133.8	51.4	358.2	99.91	99.94
C6288	29.4	21.3	37.7	99.99	99.99
C7552	417.1	120.0	1255.9	99.88	99.90

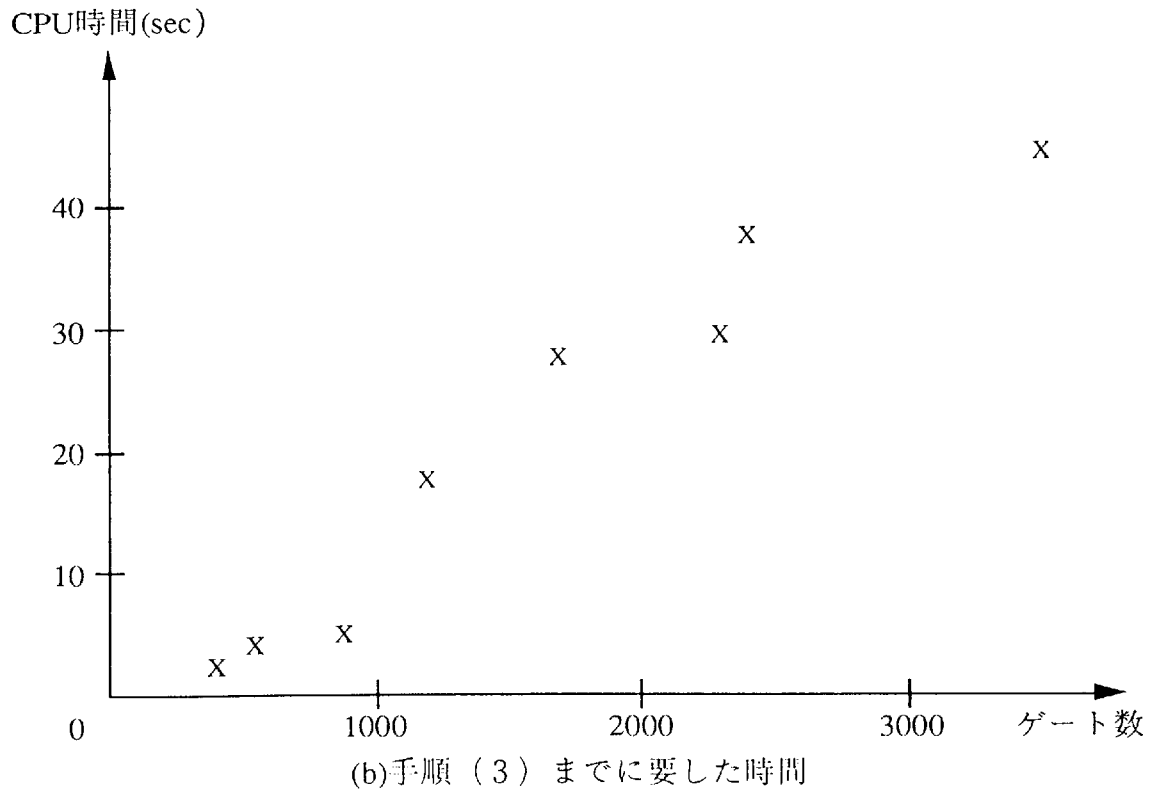
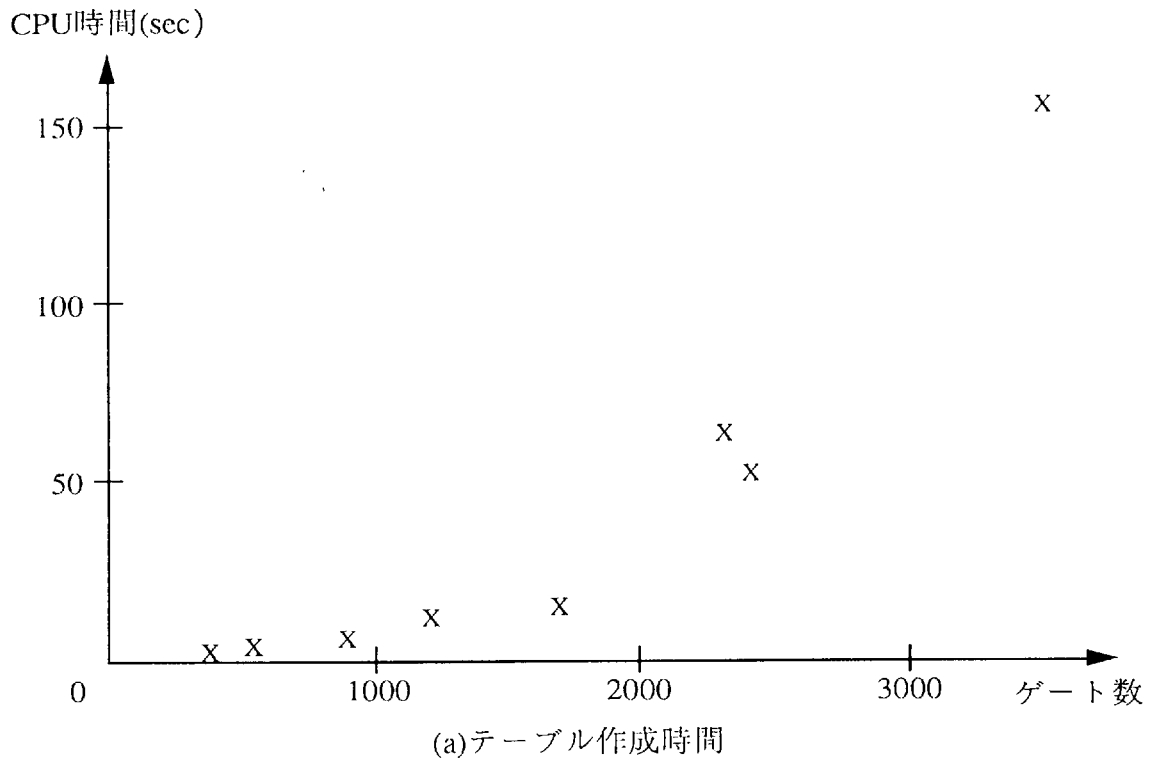


図4.1 評価時間とゲート数の関係

### 4.3 まとめ

短絡故障検出用のテスト生成を行うためには、効率的に短絡故障の検出率を評価するツールが必要である。そこで、3章で定義した診断テーブルを用いて単一短絡故障の検出率を評価する簡単な手法を提案し、計算機実験により性能評価を行った。実験結果は、98%以上の単一短絡故障の検出が簡単なテーブルの検索・比較によって行えることを示している。また、残りの故障数が全故障数に比べてそれほど多くない（全故障数の1%以下）と思われるので、個々の故障を論理シミュレータを活用することにより評価する手法を提案し、その有効性を示した。本手法による検出率の評価時間は、縮退故障のシミュレーション時間の数倍から10倍程度であり、評価の対象となる故障数が縮退故障では回路規模に比例するのに対して短絡故障では回路規模の2乗に比例することを考えると、かなり高速な評価法であるといえる。

## 第5章 n線間の短絡故障の診断法

3章では、2線間の短絡故障の診断法について述べた。短絡故障の診断法としては、この他に、縮退故障の辞書を利用する方法が提案されている<sup>(15)</sup>。しかし、いずれの手法も2本の信号線間の短絡故障を対象としており、3本以上の信号線が短絡している場合には診断できない。

本章では、多重縮退故障の診断法<sup>(17)</sup>の基本操作が、2本以上の信号線間のAND(OR)短絡の診断に利用可能であることを示し、この基本操作を利用した短絡故障の診断法について述べる<sup>(4)</sup>。

### 5.1 診断法の概要

#### 5.1.1 基本的アイデア

AND短絡が生じている回路にテスト $T=\{t_0, t_1, t_2, \dots\}$ を行ったときに、外部出力で通常の出誤りが観測され、かつ発振が観測されなかったテストの集合を $T_e$ 、外部出力で発振が観測されたテストの集合を $T_x$ とする。

テスト集合 $T_e$ の下では外部出力で通常の出誤りが観測されていることから、短絡している信号線のうち少なくとも1本に0誤りが生じていなければならない(AND短絡では短絡している信号線に1誤りが生じないことは、短絡故障のモデルから明らかである)。また、短絡している信号線は全て等電位となるため、常に同一の値をもつことも明らかである。従って、テスト集合 $T_e$ の下では短絡している信号線の値は全て0である。これは、テスト集合 $T_e$ の下での各信号線の値が、短絡している全ての信号線に0縮退故障が存在する場合と同一であることを意味する。従って、テスト集合 $T_e$ の下で多重縮退故障の診断法を適用することによって短絡故障の診断が可能である。

テスト集合 $T_x$ の下では外部出力で発振が観測されていることから、短絡している信号線に発振が生じていなければならない。発振は0と1が交互に現れている状態であるため、単純に0誤りまたは1誤りと置き換えることはできない。従って、外部出力で観測された異常が発振のみである場合には、多重縮退故障の診断法を適用することができない。

### 5.1.2 信号値を推定するための基本操作<sup>(16)</sup>

外部出力で通常の出出力誤りが観測され、かつ発振が観測されなかったテストの集合を $T_e$ とする。このテスト集合 $T_e$ の下で次の2つの含意操作を適用することにより、回路の外部出力の観測値から内部の信号値を推定する。

<水平含意>論理素子の入力・出力の値が一部既知であるとき、その論理素子の入出力関係から残りの出力または入力の値を定める操作である。但し、出力線が他の信号線と短絡しているときは本来の入出力関係が保証されないため、この操作を適用することはできない。

[例 5.1] ANDゲートに対しては図 5.1 に示すような四つの含意操作がある。

(a) は出力が 1 ならば入力の全てを 1 にすることを、(b) は出力が 0 で一方の入力が 1 であるならば他方の入力を 0 にすることを、(c) は入力の少なくとも一つが 0 ならば出力を 0 にすることを、また (d) は入力の全てが 1 ならば出力を 1 にすることを、それぞれ表す。 □

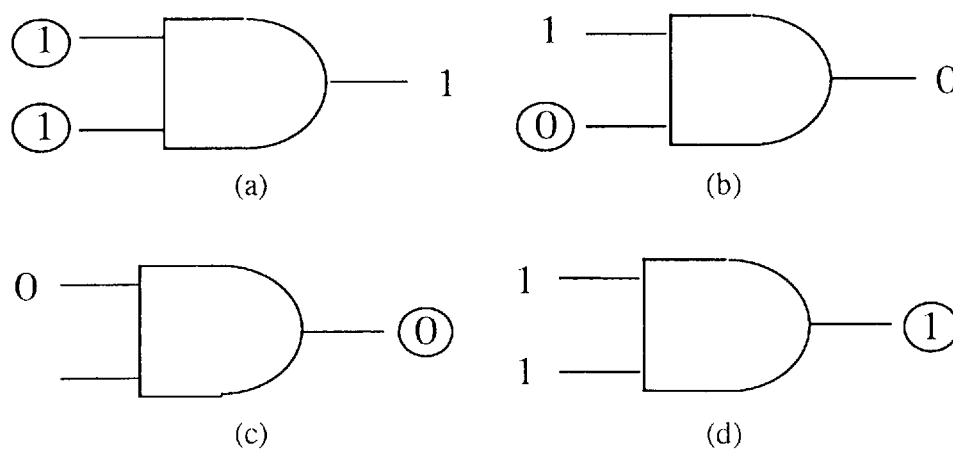


図 5.1 水平含意の例

<垂直含意> $t_v \in T_e$ を外部入力線 $k$ に信号 $v \in \{0,1\}$ を印加するテストとする。 $t_v$ において $k$ が値 $v$ をもつならば、信号 $v$ を印加する全てのテスト $t_v \in T_e$ において $k$ の値は $v$ となる。一方、テスト $t_v$ において $k$ が値 $v$ をもつならば、 $k$ の値は全てのテスト $t \in T_e$ において $v$ である( $k$ は他の信号線と短絡している)。

外部入力線に対しては、上記のように、テスト $t_v$ における値を用いてその他のテストにおける値を定める操作(垂直含意)を適用することができる。

[例 5.2] ある回路にテスト  $\{t_0, t_j, \dots\}$  を行ったときに,  $T_e = \{t_i, t_j, t_k\}$  であったとする. この回路内に図 5.2 (a) に示す, 外部入力線  $a, b, c$  を入力にもつ NOR ゲートが存在し,  $T_e$  の下で信号線  $d$  において (c) に示す値が観測されたとする. このとき外部入力線  $a, b, c$  に加えられたテストが (b) であったとする.

5.1.1 で述べたように, AND 短絡では短絡している信号線のテスト集合  $T_e$  の下での値は全て 0 である. 従って,  $T_e$  の下で値 1 が観測または推論された信号線に短絡故障は存在しない (以下では, これを正常という). いま, 信号線  $d$  ではテスト  $t_i \in T_e$  において 1 が観測されているので,  $d$  は正常である. そこで, 水平含意により, テスト  $t_i$  で  $a=b=c=0$  となる.

$a$  に 0 を印加したテスト  $t_i$  で実際に  $a=0$  となっていることから,  $t_j$  でも  $a=0$  となる. 同様に,  $t_k$  でも  $b=0$  となる. これが第 1 の垂直含意の例である.

テスト  $t_i$  における  $c$  の値は, 1 を印加したにも関わらず 0 となっている. これは  $c$  に短絡故障が存在することを意味するので,  $t_j, t_k$  でも  $c=0$  となる. これが第 2 の垂直含意の例である.

最後に, 水平含意により  $t_j$  で  $b=1$ ,  $t_k$  で  $a=1$  となり, この NOR ゲートの入出力線の全ての値が定まる. □

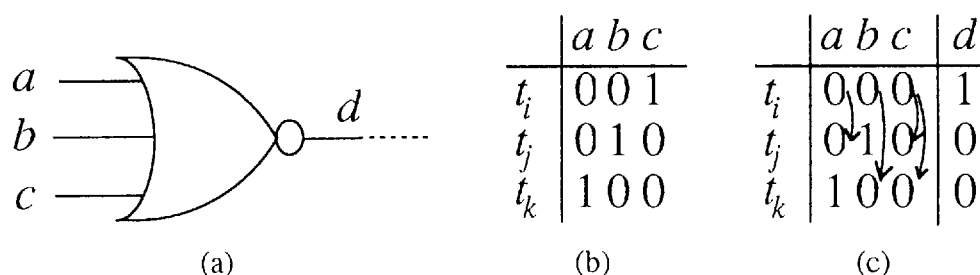


図 5.2 垂直含意の例

ここで, 垂直含意が回路内部の信号線にも適用できるように, “強制値” という概念を導入する.

[定義 1] 回路にどのような短絡故障が存在しても, 信号線  $k$  の値がテスト  $t \in T_e$  において  $v$  であるか, または  $T_e$  に属するすべてのテストにおいて  $v$  であるとき, 信号線  $k$  はテスト  $t$  において強制値  $v$  をもつという. □

外部入力線については, 定義より, テスト入力の値がそのまま強制値となる.

論理素子の出力線については，入力線の強制値から表 5.1 を用いて求めることができる。

表 5.1 文献(16)の強制値

入力線の強制値	AND	OR	NAND	NOR	NOT
すべて1	1	1	0	0	0
すべて0	0	0	1	1	1
その他	*	*	*	*	*

(注) \*は強制値をもたないことを示す

[例 5.3] 図 3.2 の回路の表 5.3 (a) のテストに対する強制値は表 5.2 のように求められる。 □

表 5.2 文献 (16) の強制値

	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	<i>h</i>	<i>i</i>	<i>j</i>	<i>k</i>	<i>l</i>	<i>m</i>
$t_0$	0	1	0	1	1	0							
$t_1$	1	0	1	0	1	1							
$t_2$	1	0	1	1	1	0	0						
$t_3$	0	0	1	1	0	0	0	0	1				
$t_4$	1	1	1	0	0	1	0						

信号線  $k$  がテスト  $t_i$  において上記の定義による強制値  $v$  をもつならば，次の二つの含意操作を適用することができる：

- (a) テスト  $t_j$  ( $\neq t_i$ ) における  $k$  の値が  $v$  ならば， $t_i$  における  $k$  の値を  $v$  とする。
- (b) テスト  $t_i$  における  $k$  の値が  $v$  ならば，全てのテストにおける  $k$  の値を  $v$  とする。

[例 5.4] 図 3.2 の回路に表 5.3 (a) のテストを加えたときに，外部出力線  $m$  で (b) に示す値が観測されたとする。この観測値は，信号線  $d$  と  $l$  の間に AND 短絡が存在するときに得られるものである。

外部出力で通常の出誤りが観測されているテストの集合  $T_e$  は， $\{t_0, t_1, t_2\}$  である。これらのテストの下で含意操作を適用する。含意操作の様子を図 5.3 に示す。

- ① 5.1.1 で述べたように，AND短絡では短絡している信号線のテスト集合 $T_e$ の下での値は全て0である．従って， $T_e$ の下で値1が観測または推論された信号線に短絡故障は存在しない(以下では，これを正常という)．いま，外部出力線 $m$ ではテスト $t_0 \in T_e$ において1が観測されているので $m$ は正常である．従って $t_0$ における $k$ および $l$ の値をこの $m=1$ から水平含意により1と定めることができる．
- ② 1が推論されたので， $k, l$ とも正常である．従って， $t_0$ における $k, l$ の1から水平含意により $t_0$ における $h, i, j$ の値を0と定めることができる．
- ③ 信号線 $i$ はテスト $t_2$ において強制値0をもっているなので， $t_0$ における $i=0$ から垂直含意により， $t_2$ における $i$ の値を0と定めることができる．

この状態では，信号線 $h, i, j$ は正常か否か不明であり，また $t_0$ 以外のテストでは $m=0$ であるため，含意操作はここで停止する． □

表 5.3 テストと観測値

(a) テスト						(b) 観測値	
	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>m</i>	
$t_0$	0	1	0	1	1	0	$t_0$ 1
$t_1$	1	0	1	0	1	1	$t_1$ 0
$t_2$	1	0	1	1	1	1	$t_2$ 0
$t_3$	0	0	1	1	0	0	$t_3$ 0
$t_4$	1	1	1	0	0	0	$t_4$ 0

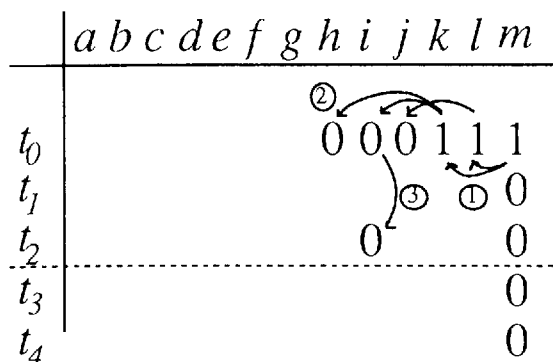


図 5.3 含意操作の例

### 5.1.3 強制値の概念の拡張

AND短絡では、短絡している信号線に1誤りが生じることはない。従って、外部入力線に加えられた値0は回路内にいかなる短絡故障が生じたとしても不変である。従って、テスト $t$ でANDゲートの入力線に値が0である外部入力線が一本でもあれば、回路内にどのような短絡故障が存在していても、 $t$ におけるこのANDゲートの出力線の値は0である。このような性質に着目すると、強制値の概念を拡張することができる。ここで、定義1の強制値に加えて、次の定義による強制値 $z$ を新たに導入する。

[定義2] 回路内にどのような短絡故障が生じていても、信号線 $k$ の値がテスト $t$ において0であるとき、信号線 $k$ はテスト $t$ で強制値 $z$ をもつという。 □

このような強制値の概念の拡張により、従来より多くの信号線が強制値をもつようになり、含意操作が活性化され、プローブ数の削減を図ることができる。

外部入力線の強制値は、テスト入力 $t$ が0のときは、定義より $z$ とし、テスト入力 $t$ が1のときは1とする。論理素子の出力線の強制値は、入力線の強制値から表5.4を用いて求められる。

表5.4 拡張された強制値

入力線の強制値	AND	OR	NAND	NOR	NOT	XOR
すべて1	1	1	0	0	0	*
すべて0	0	0	1	1	1	*
少なくとも1つ $z$	$z$	*	1	*		*
すべて $z$	$z$	$z$	1	1	1	$z$
その他	*	*	*	*		*

(注) \*は強制値をもたないことを示す

信号線 $k$ がテスト $t$ において上記の定義2による強制値 $z$ をもつ場合、回路中のどの信号線に短絡故障が生じているかに関わらず、 $t$ における $k$ の値を0と定めることができる。

[例5.5] 図3.2の回路の表5.3(a)のテストに対する強制値は表5.5のように求められる。表5.2に示した文献(16)のものに比べてより多くの信号線が強制値をもつことがわかる。 □

表 5.5 拡張された強制値

	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	<i>h</i>	<i>i</i>	<i>j</i>	<i>k</i>	<i>l</i>	<i>m</i>
$t_0$	<i>z</i>	1	<i>z</i>	1	1	<i>z</i>	1		1	0			
$t_1$	1	<i>z</i>	1	<i>z</i>	1	1	1		<i>z</i>	0		1	
$t_2$	1	<i>z</i>	1	1	1	1	0		<i>z</i>				
$t_3$	<i>z</i>	<i>z</i>	1	1	<i>z</i>	<i>z</i>	0	1	<i>z</i>	1			
$t_4$	1	1	1	<i>z</i>	<i>z</i>	1	1	0	1				

〔例 5.6〕文献(16)の強制値を用いた場合、図 5.3 に示す状態で含意操作が停止する。しかし、拡張された強制値を用いた場合、信号線 *l* はテスト  $t_1$  において強制値 1 をもつため、 $t_0$  における 1 から垂直含意により  $t_1$  における値を 1 と定めることができ、含意操作を続行することができる。更に、強制値 *z* をもつところを 0 と定めることにより図 5.4 (a) が得られる。なお、表中最下行の *N*, 0, *u* はその信号線が正常、テスト集合  $T_e$  の下では全て 0 が推論されている、未確定をそれぞれ表わす。図 5.3 に示した文献(16)の強制値を用いた場合に比べて多くの信号線で値が推論されていることがわかる。□

#### 5.1.4 含意操作を補うためのプローブ

例 5.6 のように、一般には、含意操作のみで短絡箇所を発見することはできない。そこで、含意操作が停止した時点で、次の (1) から (3) のいずれかの条件を満たす信号線の値をプローブにより観測し、観測により得られた値を用いて含意操作を続行する。条件の優先順位は (1) ~ (3) である。

なお、本手法では、プローブを行う上で次のことを前提としている。

全信号線が観測可能である。

発振の状態が観測できる。

また、一回のプローブでその信号線の値を全てのテスト入力に対して測定する。

##### (1) 短絡していることが判明した信号線：

AND 短絡では短絡している信号線に 1 誤りが生じることはない。このことから、あるテスト  $t_i$  において短絡している信号線の値が 1 であれば、 $t_i$  では全ての信号線が期待値をとる。従って、“テスト  $t_i$  で期待値が 0 である信号線は正常で

ある”と判定できる。このように、短絡している信号線が見つかった時点でこれをプローブすることは、正常な信号線を早期に発見するために有用である。

(2) 状態が未確定である信号線のうち、最も外部出力に近い信号線：

含意操作を入力側に進めるためには水平含意を行う必要がある。水平含意はゲートの出力線が正常であるときのみ適用可能であるので、正常な信号線を新たに見つけるために、状態が未確定な信号線をプローブする。状態が未確定な信号線が複数存在する場合は、水平含意が出力から入力に向かって進むことから、外部出力に最も近い信号線を優先する。

(3) 条件(1)または(2)を満たす信号線が存在しない状態で、まだ正常であるとも短絡であるとも判定されていない信号線：

ある信号線 $k$ において、テスト集合 $T_e$ の下での値が全て0に定まっていて、かつ $T_e$ の下で $k$ を出力とするゲートの入出力間に論理的矛盾がないとき、 $k$ は正常であるとも短絡している信号線の一つであるとも判定することができない。このような場合、 $k$ がプローブされていなければプローブし、テスト集合 $T$ の下で論理的矛盾があるか否かを調べる。矛盾がある場合は、短絡していると判定する。矛盾がない場合は、既に短絡していることが判明している信号線と値を比較し、その結果、既に短絡していることが判明している信号線と異なる値を持つテストが一つでも存在するならば、 $k$ は正常であると判定する。存在しない場合は、正常であるか短絡しているか判定することができないので、 $k$ は“短絡している可能性がある”とする。

[例5.7] 図5.4 (a)では、信号線 $i$ および $j$ には1が推論されていないため正常か否かの判定はできず、これ以上入力側に含意操作を進めることはできない。いま、条件(1)を満たす信号線は存在しないので、条件(2)を満たす信号線をプローブする。(b)は信号線 $j$ をプローブして含意操作を続行し、さらに信号線 $g$ をプローブすることにより得られる。ここで、テスト $t_7$ において値1をもつ信号線 $b$ および $g$ を入力とするANDゲートの出力線 $i$ に0が推論されている。この論理的矛盾により、信号線 $i$ は短絡している信号線の一つであることがわかる。

信号線 $i$ が短絡していることが判明したので、条件(1)より $i$ をプローブすると、テスト $t_4$ で1が観測される。従って、 $t_4$ で期待値0をもつ信号線 $d$ ,  $e$ ,  $j$ が

<i>a b c d e f g h i j k l m</i>	<i>a b c d e f g h i j k l m</i>
0 1 0      0    0 0 0 1 1 1	0 1 0      0 1 0 0 0 1 1 1
0    0    0    1 0 0 0 1 0	0    0    0 1 1 0 0 0 1 0
0            0    1 0    0    0	0            0 0 1 0 0 0 1 0
0 0      0 0      0      0	0 0      0 0 0    0 1      0
1    0 0                    0	1    0 0    1      0      0
<i>u N u u u 0 u N 0 u N N N</i>	<i>u N u u u 0 N N B 0 N N N</i>
(a) 初期含意	(b) 条件(2)によるプローブ： <i>j, g</i>

	<i>a b c d e f g h i j k l m</i>
<i>t<sub>4</sub></i>	1 1 1 0 0 1 1 0 1 0 0 0 0
	(c) テスト <i>t<sub>4</sub></i> における各信号線の期待値

<i>a b c d e f g h i j k l m</i>	<i>a b c d e f g h i j k l m</i>
0 1 0 1 1 0 1 0 0 0 1 1 1	0 1 0 1 1 0 1 0 0 0 1 1 1
0    1 0 1 0 1 1 0 0 0 1 0	0 0 1 0 1 0 1 1 0 0 0 1 0
0 1 1 1 0 0 1 0 0 0 1 0	0 0 1 1 1 0 0 1 0 0 0 1 0
0 0 1 1 0 0 0    0 1      0	0 0 1 1 0 0 0    0 1      0
1 1 0 0    1    1 0      0	1 1 1 0 0    1    1 0      0
<i>u N N N N 0 N N B N N N N</i>	<i>B N N N N 0 N N B N N N N</i>
(d) 条件(1)によるプローブ： <i>i</i>	(e) 条件(2)によるプローブ： <i>a</i>

<i>a b c d e f g h i j k l m</i>
0 1 0 1 1 0 1 0 0 0 1 1 1
0 0 1 0 1 0 1 1 0 0 0 1 0
0 0 1 1 1 0 0 1 0 0 0 1 0
0 0 1 1 0 0 0 1 0 1 0 0 0
1 1 1 0 0 1 1 0 1 0 0 0 0
<i>B N N N N 0 N N B N N N N</i>
(f) 条件(3)によるプローブ： <i>f</i>

図 5.4 診断例

新たに正常と判定される(同図(c)).  $d$ ,  $e$ は正常な外部入力線であるので, 期待値をそのまま代入し, 含意操作を続行する. これにより得られるのが(d)である.

この時点で, 状態が未確定な信号線は $a$ のみであるので,  $a$ をプローブする. これにより得られるのが, (e)である. ここで,  $a$ は外部入力線であり, かつテスト $t_1$ および $t_2$ で期待値と異なる値が観測されているので,  $a$ は短絡していると判定する.

この時点でテスト $T_e$ の下での全ての信号線の値が定まっている. しかし, いまだ信号線 $f$ は正常であるか短絡しているか定まっていない. そこで, 条件(3)より $f$ をプローブする. これにより得られるのが(f)である. この例の場合, 信号線 $f$ を出力とするゲートの入出力線間には論理的矛盾はなく, かつ既に短絡していると判定されている信号線と異なる値を持つテストは存在しないので,  $f$ は短絡の可能性があると判定される. □

#### 5.1.5 垂直含意の活性化<sup>(17)</sup>

文献(17)では, プローブ数を削減するために, 次の二つの処理を行っている. これらは共により多くの強制値を信号線にもたせて垂直含意を活性化することにより, プローブ数の削減を図っている.

<強制値の再計算>ある信号線 $k$ がプローブされた場合,  $k$ の値は全てのテストにおいて確定しているので,  $k$ をプローブによる観測値が印加された外部入力線とみなすことができる. 従って, プローブにより観測された値をそのまま $k$ の強制値とすることができる. また,  $k$ から外部出力線に至る経路上の信号線の強制値を再計算することができる. このようにプローブの度ごとに強制値を再計算することにより垂直含意の可能性が増大し, プローブ数を削減することができる.

<プリプローブ>強制値は一般に外部入力側に偏在するため, 垂直含意が初期の含意操作に寄与していない. このことは, プローブ数を増大させる一因になる. 文献(17)ではこの問題を解決するために, 外部出力線を除く全ての信号線に少なくとも1つは強制値をもたせ, また外部出力線以外からの含意操作を可能にするために, 診断を開始する前にプローブを行うことにしている. これをプリプローブと呼ぶ. 文献(17)では, プリプローブを行うことによりプローブ率(プローブ数の全信号線数に対する割合)が10%程度改善されている.

## 5.2 診断手順

$T$ を被検査回路に印加された全てのテストを要素とする集合とし、 $T_e$ を外部出力で通常の出力量誤りが観測されかつ発振が観測されなかったテストの全てを要素とする集合とする。また、 $L_n$ 、 $L_b$ 、 $L_r$ はそれぞれ“正常”、“短絡”、“短絡の可能性はある”と判定された信号線の集合を表し、 $U$ は $L_n$ 、 $L_b$ 、 $L_r$ のいずれにも属さない信号線の全てを要素とする集合を表す。

(診断開始)

- (1) 全ての信号線を $U$ の要素とし、 $L_n=L_b=L_r=\phi$  (空集合) とする。
- (2) テスト集合 $T_e$ を求める。
- (3) テスト集合 $T_e$ の下で含意操作を繰り返す。このとき、あるテスト $t \in T_e$ で1が推論された信号線を $U$ から除去し、 $L_n$ の要素とする。また、全てのテスト $t \in T_e$ で0が推論された信号線を $U$ から除去し、 $L_r$ の要素とする。  
 $U=\phi$ なら(1)へ。
- (4)  $U$ または $L_r$ に属する信号線を出力とする各ゲートについて、その入出力間に論理的な矛盾があるか否かを調べる。矛盾のあるゲートの出力線を $U$ または $L_r$ から除去し、 $L_b$ の要素とする。その結果、 $L_b=\phi$ から $L_b \neq \phi$ に変化した場合のみ(9)へ。
- (5) 集合 $U$ に属する信号線のうち最も外部出力に近い信号線をプローブする。ここでプローブされた信号線を $l_p$ とする。
- (6) プローブによりあるテスト $t \in T_e$ で1が観測された場合は信号線 $l_p$ を $U$ から除去して $L_n$ の要素とし(3)へ。
- (7) 信号線 $l_p$ を入力または出力とするゲートの入出力間に論理的な矛盾があるか否かを調べる。矛盾がある場合は矛盾のあるゲートの出力線を $U$ または $L_r$ から除去して $L_b$ の要素とし、その結果 $L_b=\phi$ から $L_b \neq \phi$ に変化した場合のみ(9)へ、変化しない場合は(3)へ。
- (8) 既に手順(9)が実行されていて、信号線 $l_b$ が定まっているとき、 $l_b$ と $l_p$ の値を比較し、
  - 1)  $l_p$ が全てのテスト $t \in T$ において $l_b$ と同じ値をもつならば、 $l_p$ を $U$ から除去し、 $L_r$ の要素とする。
  - 2)  $l_b$ と $l_p$ とで観測値が異なるテストが存在するならば、 $l_p$ を $U$ から除

去し、 $L_n$ の要素とする。

$l_b$ が定まっていないときは、 $l_p$ を $U$ から除去し、 $L_r$ の要素とする。

(3)へ。

(9) 全てのテスト $t \in T$ において値が既知となっている信号線が $L_b$ に存在するとき、その信号線の本を $l_b$ とする。上記に該当する信号線が存在しないときは、 $L_b$ の要素のうち任意の1本をプローブし、その信号線を $l_b$ とする。なお、 $l_b$ は一つ決ればその後(9)を実行する必要はない。

(10)  $U$ または $L_r$ に含まれる全ての信号線 $j$ と $l_b$ の値を比較し、次の条件 $\alpha$ または $\beta$ を満たすテストが一つでも $T$ に存在するならば、信号線 $j$ を $U$ または $L_r$ から除去し、 $L_n$ の要素とする。(3)へ。

$\alpha$ ) 信号線 $l_b$ の観測値が1であり、かつ信号線 $j$ の期待値が0。

$\beta$ ) 信号線 $l_b$ と $j$ とで観測値が異なる。

(11) 集合 $L_r$ にプローブされていない信号線が存在するならば、その信号線をプローブし、手順(10)の条件 $\beta$ を満たすテストが一つでも存在するならば、この信号線を $L_r$ から除去し $L_n$ の要素とする。

プローブされていない信号線が $L_r$ からなくなるまで(11)を繰返す。

(12) この段階で $U$ は空集合(状態が未定である信号線がない)となっており、また、集合 $L_r$ に含まれる信号線は全てプローブにより値が観測されている。従って、全てのテストにおける信号線の値を計算によって求めることができるので、未知の値を決定する。

(13)  $L_r$ に属する信号線を出力にもつゲートの入出力間で論理的矛盾があるか否かを調べる。矛盾がある場合はその信号線を $L_r$ から除去し、 $L_b$ の要素とする。

上記の手順で、 $L_n$ に属する信号線は正常、 $L_b$ に属する信号線は短絡、 $L_r$ に属する信号線は短絡の可能性ありと診断する。

### 5.3 性能評価

5.2で述べた診断手順を実現するプログラムをC言語を用いてSUN4/60上にインプリメントした。性能評価には、ISCAS'85ベンチマーク回路とFANアルゴリズムによって生成された単一縮退故障検出用のテストパターンを用いた。付録に回路の緒元とテスト入力数を示す。

表5.6 (a)は、ランダムにサンプリングした100個の三線間の短絡故障に対する診断結果の平均値を示している。ここで、“プローブ率”とは、診断解を求めるために実行したプローブ数の全信号線数(但し、ファンアウト・ブランチは含まない)に対する割合(%)を表す。また、“分解能 $L_b$ ”とは、短絡していると判定された信号線の数をいい、“分解能 $L_r$ ”とは短絡している可能性があるとして診断された信号線の数をいう。なお、プローブ率と計算時間については、強制値の概念を拡張しなかった場合の値が( )内に示してある。同様の実験を5線間の短絡故障及び7線間の短絡故障に対しても行った。それぞれの結果を表5.6 (b) および (c) に示す。

三線間の短絡故障の場合、分解能 $L_b$ は故障信号線数3に対して、ほぼ3となっている。短絡した信号線のほとんどが $L_b$ に含まれ、 $L_r$ に含まれる信号線まで入れれば全ての短絡した信号線が指摘できている。強制値の概念を拡張したことにより、プローブ率は平均19.5%から14.3%に改善されている。診断に要する時間は、ほぼ(信号線数)×(テスト数)に比例している。5線間および7線間の短絡故障についても同様の結果が得られている。また、多重度が大きくなっても、プローブ率およびCPU時間の増加はわずかなものである。

表5.7は三線間の短絡故障に対して、プリプローブを行ったときのプローブ率とCPU時間を示している。各回路に対するサンプル数は100である。なお、プリプローブを行わなかった場合の値が( )内に示してある。C2670およびC7552以外の回路では、プリプローブを行った場合のプローブ率は行わない場合と同程度もしくは増えている。これは、本手法では含意操作を適用するのはテスト集合 $T_e$ に対してのみであり、 $T_e$ の下で全ての信号線が1つは強制値を持たせるためには、縮退故障診断の場合に比べてより多くの信号線をプローブする必要があるためである。このことから、短絡故障の診断を行う上では、プリプローブはあまり効果がないと思われる。

表 5.6 実験結果

(a) 3線間の短絡故障

回路名	プローブ率	分解能		CPU 時間 (sec)
		$L_b$	$L_r$	
C3540	18.9 (23.4)	2.83	3.11	41.6 (41.0)
C5315	7.3 (19.2)	2.79	1.31	71.2 (77.2)
C6288	21.5 (21.8)	2.96	6.44	120.7 (129.0)
C7552	15.8 (18.7)	2.78	2.02	181.6 (181.7)

(b) 5線間の短絡故障

回路名	プローブ率	分解能		CPU 時間 (sec)
		$L_b$	$L_r$	
C3540	21.1 (26.5)	4.72	13.14	55.5 (53.2)
C5315	6.1 (18.6)	4.59	4.54	81.3 (87.3)
C6288	20.6 (20.8)	4.92	15.38	126.1 (134.6)
C7552	15.2 (18.4)	4.70	4.21	208.4 (207.9)

(c) 7線間の短絡故障

回路名	プローブ率	分解能		CPU 時間 (sec)
		$L_b$	$L_r$	
C3540	20.4 (26.3)	6.62	25.46	61.1 (58.1)
C5315	6.3 (18.9)	6.46	8.77	87.1 (93.4)
C6288	20.8 (21.0)	6.87	23.17	128.4 (137.2)
C7552	15.5 (18.9)	6.58	8.95	221.8 (220.9)

表 5.7 プリプローブの効果

回路名	プローブ率	C P U 時間 (sec)
C3540	18.9 (18.9)	38.5 (41.6)
C5315	8.4 (7.3)	65.9 (71.2)
C6288	42.7 (21.5)	72.9 (120.7)
C7552	11.3 (15.8)	149.2 (181.6)

## 5.4 まとめ

ワイヤードAND (OR) として機能する短絡故障が存在する回路では、外部出力で誤りが観測されたテストの下での各信号線の値は、短絡している信号線全てが0 (1) 縮退している場合と同一である。本章では、この点に着目した、多重縮退故障の診断法をもとにした短絡故障の診断法を提示し、計算機実験によりその性能を評価した。実験結果は、全信号線の10~20%程度をプローブすることにより、かなり高い確度で故障点の指摘が可能であることを示している。しかし、外部出力で観測された異常が発振のみである場合には本診断法では診断できないので、このような場合の対処法を検討する必要がある。

## 第6章 任意の論理故障の診断法

これまでに提案されている診断法の多くは，診断の対象となる故障の種類に制限を加えることにより，性能の向上を図っていた．しかし，回路内部に存在する故障の種類を予め知ることは不可能であるため，これらの診断法を単独で用いただけでは正確に故障箇所を特定することはできない．このため，故障の種類に制限を加えない任意の論理故障を効率よく診断することのできる手法の開発が望まれている．

本章では，任意の論理故障の診断が可能な手法について述べる．この手法は，多重故障が存在する場合でも，誤りが観測されたテストの多くでは，故障信号線の一つに生じた誤りしか外部出力まで伝播していない，という点に着目し，単一故障の診断法<sup>(14)</sup>の基本操作とプローブを併用したものである<sup>(3)</sup>．

### 6.1 基本的アイデア

多重の論理故障が生じている場合，複数の信号線に異常な信号値（誤り）が発生する．以下ではこのような信号線を“故障信号線”と呼ぶ．これらの故障信号線を見つけることにより，故障を診断することが可能である．

表6.1は，ランダムにサンプルした100個の3重縮退故障について，故障信号線の一つに生じた誤り（以下ではこれを“単一誤り”という）しか外部出力まで伝播していないテスト数を示す．この表で，“# of DT”は誤りが観測されたテスト数の平均を示し，“# of SEP”は単一誤りしか外部出力まで伝播していないテスト数の平均を示している．“# of SEP”の欄の( )内の値は，“# of DT”に対する“# of SEP”の割合を示している．この表から，誤りが観測されたテストの80%程度で，単一誤りしか外部出力まで伝播していないことがわかる．従って，誤りが観測されたテスト毎に単一故障の診断法を適用すると，その診断解の中にかなり高い確率で故障信号線が含まれていることが期待される．本章で述べる診断法ではこの点に着目し，単一故障の診断法を用いて故障信号

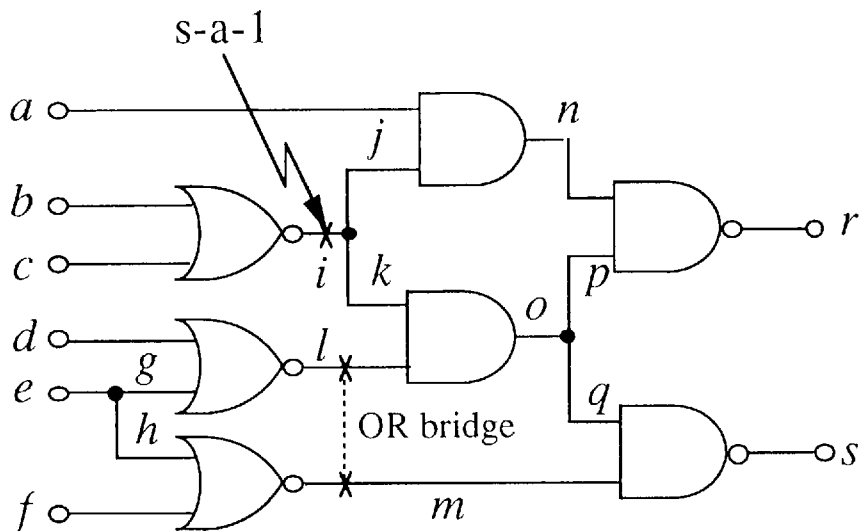
線の候補を推定し，プローブにより故障信号線を特定する操作を繰り返して故障信号線の一つずつ発見していく．プローブは故障信号線のためにのみ行われるため，プローブ数はわずかである．

表 6.1 単一誤りの伝播する割合

回路名	C880	C1355	C1908	C2670	C3540	C5315	C6288	C7552
# of DT	38.9	60.9	83.4	54.9	70.2	67.4	40.3	120.3
# of SEP	30.2 (77.6)	50.9 (83.6)	64.9 (77.8)	46.3 (84.3)	60.4 (86.0)	57.6 (85.5)	24.7 (61.3)	99.5 (82.7)

## 6.2 診断法の概要

図6.1に示す，信号線*i*に1縮退故障，信号線*l*と*m*の間にOR短絡故障が生じている回路Cを考える．この故障回路にテスト $t_0, t_1, t_2, t_3, t_4$ を加えると，外部出力線*r, s*では00, 10, 00, 11, 00が観測される．外部出力線*r, s*の正常回路における値は11, 11, 11, 11, 00であるから，テスト $t_0, t_1, t_2$ において外部出力で誤りが観測される．



	<i>abcdef</i>	<i>rs</i>
$t_0$	111000	00
$t_1$	000100	10
$t_2$	101001	00
$t_3$	100010	11
$t_4$	100000	00

■ : 誤り

図6.1 被検査回路Cおよびテスト結果

図6.2(a)に示すように，テスト $t_0$ では，信号線*i*に生じた誤りのみが太線で示した経路に沿って外部出力線*r, s*まで伝播している．故障信号線*i*に対する候補は，単一誤りの仮定の下で単一縮退故障の診断法<sup>(14)</sup>を流用することにより推定することができる．以下にその例を示す．

正常回路における各信号線の値と各ゲートの入出力関係から，誤りの可能性

のある経路を誤りが観測された外部出力線から外部入力へ向かって追跡することができる。そこで、故障信号線の候補を以下のようにして推定する：

テスト $t_0$ において外部出力線 $r$ で観測された誤りの原因を次のように表わすことができる。

$$E(r) \rightarrow F(r) \vee \{E(n) \wedge E(p)\}$$

ここで、 $E(x)$ は信号線 $x$ に誤りが存在することを意味し、 $F(x)$ は $x$ が故障信号線であることを意味する。従って、この式は、“信号線 $r$ に誤りが生じているならば、信号線 $r$ が故障信号線であるか、もしくは $n, p$ の値が同時に誤っている”ことを表わしている。

ここで、

$$\begin{aligned} E(n) &\rightarrow F(n) \vee E(j), \\ E(j) &\rightarrow F(j) \vee E(i), \\ E(i) &\rightarrow F(i) \vee \{E(b) \wedge E(c)\} \\ &= F(i) \vee \{F(b) \wedge F(c)\} = F(i). \end{aligned}$$

である。単一誤りを仮定していることから、 $F(x) \wedge F(y) = False$ となることに注意されたい。

$E(i)$ に $F(i)$ を代入することにより、

$$E(j) \rightarrow F(j) \vee F(i).$$

従って、

$$E(n) \rightarrow F(n) \vee F(j) \vee F(i).$$

同様に、

$$\begin{aligned} E(p) &\rightarrow F(p) \vee E(o), \\ E(o) &\rightarrow F(o) \vee E(k), \\ E(k) &\rightarrow F(k) \vee E(i). \end{aligned}$$

$E(i) \rightarrow F(i)$ であるから、

$$\begin{aligned} E(k) &\rightarrow F(k) \vee F(i), \\ E(o) &\rightarrow F(o) \vee F(k) \vee F(i), \\ E(p) &\rightarrow F(p) \vee F(o) \vee F(k) \vee F(i). \end{aligned}$$

最後に、

$$\begin{aligned} E(r) &\rightarrow F(r) \vee [\{F(n) \vee F(j) \vee F(i)\} \wedge \{F(p) \vee F(o) \vee F(k) \vee F(i)\}] \\ &= F(r) \vee F(i). \end{aligned} \quad \dots\dots\dots (1)$$

テスト  $t_0$  において外部出力線  $s$  で観測された誤りに対しては、

$$E(s) \rightarrow F(s) \vee F(q) \vee F(o) \vee F(k) \vee F(i). \quad \dots\dots\dots (2)$$

両方の誤りが同時に観測されていることから、式(1), (2)より、

$$\begin{aligned} E(r) \wedge E(s) &\rightarrow \{F(r) \vee F(i)\} \wedge \{F(s) \vee F(q) \vee F(o) \vee F(k) \vee F(i)\} \\ &= F(i). \end{aligned}$$

図 6.2 (b) に示すように、テスト  $t_1$  において外部出力線  $s$  で観測された誤りの原因は故障信号線  $l$  である。  $t_1$  でも上記の場合と同様にして、図中に太線で示した経路が追跡され、故障信号線  $l$  に対する候補が次のように推定される：

$$\neg E(r) \wedge E(s) = F(d) \vee F(l) \vee F(o) \vee F(q) \vee F(s)$$

ここで、“ $\neg E(r)$ ” は信号線  $r$  に誤りが存在しないことを表わす。

一方、図 6.2 (c) に示すように、テスト  $t_2$  において外部出力線で観測された誤りの原因は、故障信号線  $i$  と  $m$  である。単一故障信号線の仮定の下で上記の場合と同様に経路を追跡すると、

$$E(r) \rightarrow F(r) \vee F(i) \vee F(c),$$

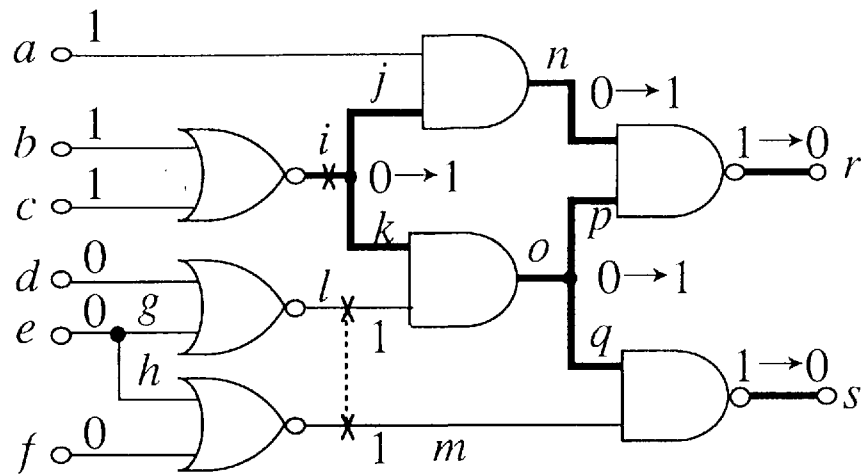
$$E(s) = False.$$

従って、

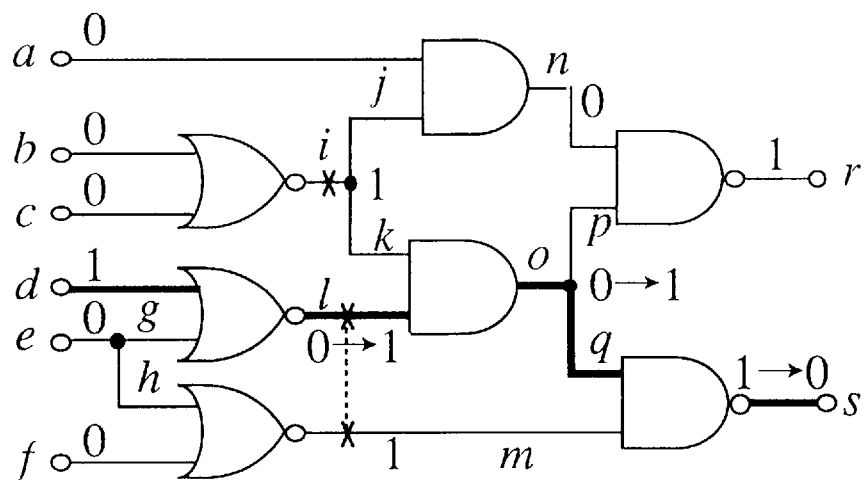
$$E(r) \wedge E(s) = False.$$

このように、複数の故障信号線が外部出力で観測された誤りの原因となっているテストでは候補を推定することはできない。

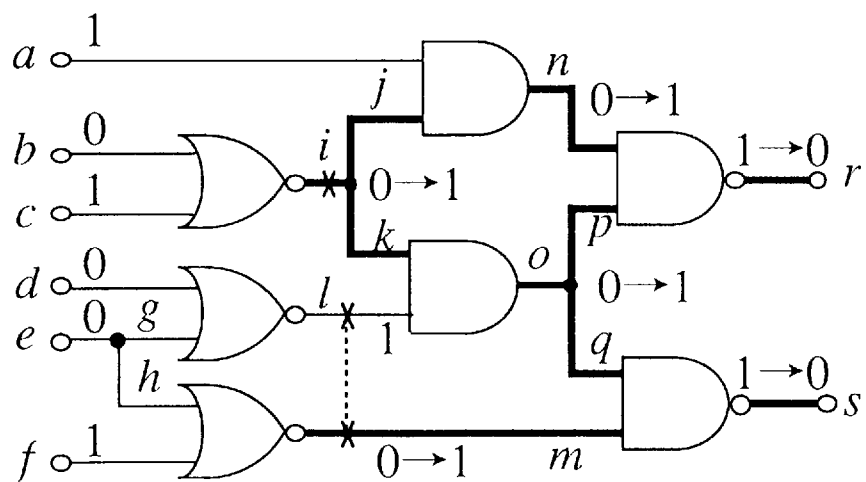
故障信号線の候補を推定した後、これらの候補の中からプローブによって故障信号線を見つける。テスト  $t_0$  では信号線  $i$  のみが候補として推定されている。そこで、図 6.1 の回路  $C$  にテスト  $t_0 \sim t_4$  を印加し、信号線  $i$  をプローブする。プローブにより、1, 1, 1, 1, 1 がそれぞれ観測される。次に、信号線  $i$  が故障信号線であるか否かを調べるために、回路  $C$  にテスト  $t_0 \sim t_4$  を印加し、信号線  $i$  を出力とする NOR ゲートの入力線  $b$  (または  $c$ ) をプローブする。  $b$  ではプローブにより外部から印加したテスト入力と同じ 1, 0, 0, 0, 0 が観測されるので、  $b$  に故障は存在しないと判定する。ここで、テスト  $t_0$  において NOR ゲートの入力線  $b = 1$  に対して出力線  $i$  では 1 が観測されている。この論理的矛盾から、信号線  $i$  は故障信号線であると判定する。



(a) テスト  $t_0$  における誤り伝播経路



(b) テスト  $t_1$  における誤り伝播経路



(c) テスト  $t_2$  における誤り伝播経路

図 6.2 回路Cにおける誤り伝播経路

テスト $t_1$ では、故障信号線の候補として $d, l, o, q$ が推論されている。これらの候補の中から故障信号線を見つけるために、外部入力に最も近い信号線 $d$ を最初にプローブする。 $d$ をプローブすると、テスト $t_0 \sim t_4$ で0, 0, 1, 0, 0がそれぞれ観測される。この観測値は全て外部から印加した値と同一であるので、 $d$ は正常であると判定する。次に、2番目に外部入力に近い信号線 $l$ をプローブすると、1, 1, 1, 0, 1が観測される。テスト $t_1$ において、信号線 $l$ の1は信号線 $d$ の1と矛盾する。従って、信号線 $l$ は故障信号線であると判定する。

プローブされた信号線の各テストにおける値は測定により判明しているので、これらの信号線は擬似的に外部入力、外部出力と考えることができる。プローブされた信号線を外部入力と考えれば、プローブによる観測値を外部出力へ向かって伝播することにより、回路内部の信号線の値を含意することができる。故障信号線がプローブされた場合、観測値の伝播により、ある外部出力において観測された誤りと同じ値が含意される。これを誤りが正当化されたという。正当化された誤りの原因である故障信号線は既に判明しているので、正当化された誤りは以後の診断では考慮する必要はない。この例では、図6.2(c)に示すテスト $t_2$ において外部出力線 $r$ で観測された誤りは、信号線 $i$ の観測値1によって正当化される。この正当化の後、テスト $t_2$ では外部出力線 $s$ で観測された誤りについてのみ誤りの可能性のある経路を追跡すればよい。

文献(3)では誤り経路追跡は、外部出力から開始し、外部入力で終了している。プローブされた信号線を擬似外部出力・入力と考えると、誤り経路追跡の開始、終了をプローブされた信号線とすることができる。このように考えると、プローブされた信号線で回路を複数のセグメントに分割し、以後の診断を個々のセグメント毎に行うことができる。この例では、図6.3に示すように、図6.1の回路はプローブされた信号線でセグメント $S_0, S_1, S_2$ に分割される。分割後、テスト $t_2$ では、図6.4に示すように、セグメント $S_0$ の太線で示した誤り経路のみが追跡される。その結果、信号線 $f, m, s$ が候補として推定され、 $f, m$ の順にプローブすることにより、信号線 $m$ が故障信号線であることが判明する。

テスト $t_0, t_1, t_2$ において外部出力線 $r, s$ で観測された誤りは全て、故障信号線 $i, l, m$ によって正当化された。これで、故障信号線を特定する処理は終了する。最後に、故障信号線の各テストにおける値から、次のようにして故障の種類を判定する：

- (1) 全てのテストにおける観測値が1 (0) であるとき1 (0) 縮退故障と判定する
- (2) 2つ以上の信号線が各テストで互いに同じ値をもつ場合、これらの信号線は短絡していると判定する。
- (3) 上記以外の場合は、故障信号線に対応するゲートの機能故障と判定する  
この例では、信号線*i*では全てのテストで1が観測されているので、信号線*i*は1縮退故障であると判定する。信号線*l*と*m*は全てのテストで互いに同じ値をもつので、*l*と*m*は短絡していると判定する。発振や非同期動作をするフィードバック短絡故障についても同様に判定することができる。

この診断法は、与えられたテストの下でどのテストも単一誤りの仮定を満たさず故障信号線の候補を推定できなかった場合は、解を求めることができない。しかし、表6.1に示した実験結果から、このような場合はごく稀であると思われるので、この欠点は実用上あまり問題にならないと思われる。

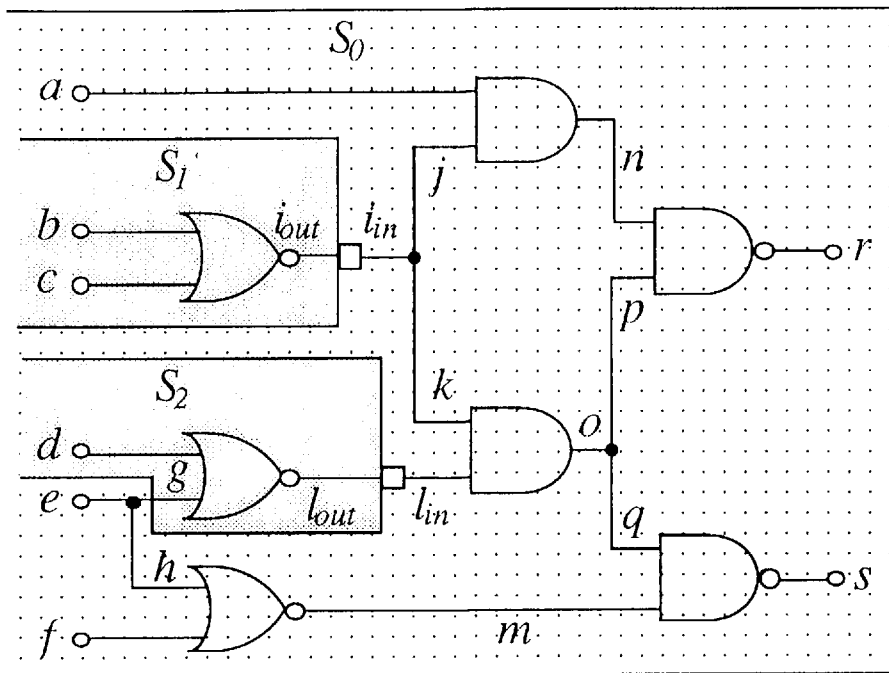


図 6.3 プローブされた信号線での回路の分割

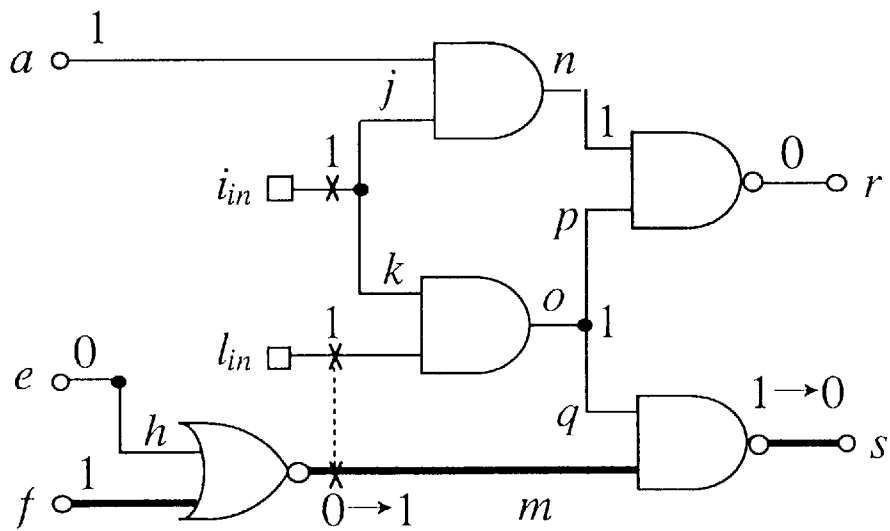


図 6.4 テスト  $t_2$  におけるセグメント  $S_0$  での誤り経路追跡

### 6.3 診断手順

被検査回路の状態を表わすために，表6.2に示すような表を用いる．以下ではこの表を診断テーブルと呼ぶ．診断テーブルの各列は信号線を表わし，各行はテストを表わす．診断テーブルの各列ベクトルの初期値は，与えられたテストの下での各信号線の正常回路における期待値である．表6.2(a)は図6.1の回路Cのテスト $t_0 \sim t_4$ における診断テーブルの初期値を示している．

診断テーブルは，ある信号線 $z$ がプローブされる度に，以下の2つの操作により，更新される：

- 1) 信号線 $z$ で観測された値と $z$ に対応する列ベクトルを入れ替える．
- 2) 信号線 $z$ で観測された値をできる限り前方へ伝播することにより含意し，含意によって得られた値を対応する列ベクトルと入れ替える．

[例6.1] 回路Cにおいて信号線 $l$ をプローブして1, 1, 1, 0, 1が観測された場合，診断テーブルは表6.2(a)から(b)のように更新される． □

表6.2 診断テーブルの更新

(a)更新前の診断テーブル

	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	<i>h</i>	<i>i</i>	<i>j</i>	<i>k</i>	<i>l</i>	<i>m</i>	<i>n</i>	<i>o</i>	<i>p</i>	<i>q</i>	<i>r</i>	<i>s</i>	
$t_0$	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	
$t_1$	0	0	0	1	0	0	0	0	1	1	1	0	1	0	0	0	0	1	1	
$t_2$	1	0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	1	
$t_3$	1	0	0	0	1	0	1	1	1	1	1	0	0	1	0	0	0	1	1	
$t_4$	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0

(b)更新後の診断テーブル

	<i>a</i>	<i>b</i>	<i>c</i>	<i>d</i>	<i>e</i>	<i>f</i>	<i>g</i>	<i>h</i>	<i>i</i>	<i>j</i>	<i>k</i>	<i>l</i>	<i>m</i>	<i>n</i>	<i>o</i>	<i>p</i>	<i>q</i>	<i>r</i>	<i>s</i>	
$t_0$	1	1	1	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1	
$t_1$	0	0	0	1	0	0	0	0	1	1	1	1	1	0	1	1	1	1	0	
$t_2$	1	0	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	1	1	
$t_3$	1	0	0	0	1	0	1	1	1	1	1	0	0	1	0	0	0	1	1	
$t_4$	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0

(診断手順)

- (1) 正常回路の期待値を診断テーブルの初期値とする。
- (2) 現在の診断テーブルの外部出力の値と観測値とが異なるテストの全てを要素とする集合を $T_e$ とする。
- (3) 6.2で述べた手順を用いて、各テスト $t_i \in T_e$ について、故障信号線の候補を推定する\*1。ここで、テスト $t_i$ における故障信号線の候補の集合を $P_i$ とする。全てのテストで候補が推論されなかった場合は、(8)へ。
- (4) 各テストで推定された故障信号線の候補の中から、以下の選択規則 $\alpha$ ) または $\beta$ )を満たす信号線 $l_p$ をプローブし、与えられたテストの下での値を観測する。優先順位は $\alpha$ )、 $\beta$ )の順である。また、同一規則を満たす信号線が複数存在する場合は、外部入力線に最も近い信号線を選択する。
  - $\alpha$ ) 要素がただ一つの集合 $P_i$ が存在するならば、その信号線。
  - $\beta$ ) 最も多くの集合に含まれる信号線。
- (5) 信号線 $l_p$ で観測された値を用いて診断テーブルを更新する。
- (6) 信号線 $l_p$ を出力とするゲートを $G_p$ とする。現在の診断テーブル上で、ゲート $G_p$ の出力線の値が入力線の値と矛盾しているか否かを調べる。矛盾がない場合、 $l_p$ は正常であると判定する\*2。
- (7) 現在の診断テーブルの外部出力の値と観測値とが異なる場合は(2)へ。
- (8) 既にプローブされているがまだ正常であるとも故障信号線であるとも判定されていない信号線が存在するとき、これらの信号線のうち最も外部入力に近い信号線を $l_u$ とする。また、 $l_u$ を出力とするゲートを $G_u$ とする。このような信号線が存在しない場合は診断終了。
- (9) 診断テーブル上で、ゲート $G_u$ の出力値が入力値と矛盾し、かつこの矛盾が $G_u$ のプローブ済みの入力線の値でわかる場合、 $l_u$ は故障信号線であると判定し(8)へ。
- (10) ゲート $G_u$ の入力線のうち、まだプローブされていない信号線の1本をプローブし、各テストにおける値を観測する。この信号線を $l_q$ とする。
- (11) 診断テーブル上で、ゲート $G_u$ の入出力間の矛盾が解消された場合、 $l_u$ は正常であると判定する。矛盾が解消されず、かつこの矛盾がプローブ

により観測された値でわかる場合、 $l_u$ は故障信号線であると判定する。

(1 2) (6)と同様にして、信号線 $l_p$ が正常であるかどうかを判定する。

(1 3) 信号線 $l_q$ で観測された値を用いて診断テーブルを更新する。その結果、診断テーブルの外部出力の値が一つでも変化した場合は(2)へ。変化しなかった場合は(8)へ。

\*1：外部出力で発振が観測されている場合でも、通常の誤りと同様にして誤り経路の追跡を行う。

\*2：信号線 $l_p$ が正常でないこともあり得る。 $l_p$ が正常であることを確かめるには、ゲート $G_p$ の入力線をプローブすればよい。しかし、ここでは、プローブ数の増加を避けるためプローブをせずに正常であると判定することにした。

## 6.4 性能評価

6.3で述べた手順をC言語を用いてSUN4/60上の実現した。性能評価には、ISCAS'85ベンチマーク回路とFANアルゴリズムによって生成された単一縮退故障検出用のテストパターンを用いた。

表6.3(a)に単一縮退故障，2線間短絡故障，単一機能故障が同時に生じている故障に対する実験結果の平均を示す。サンプリングした故障数は100である。ここで，“分解能”とは故障信号線と判定された信号線の数をいい，“プローブ率”とは全信号線数に対するプローブ数の割合をいう。同様の実験を他の種類の故障についても行った。その結果を表6.3(b)～(d)に示す。この実験ではサンプリングしたすべての故障について解が得られた。これは，一つ以上のテストで，単一誤りの仮定が満たされていることを表わしている。

表6.3(a)の故障では故障信号線の数は5である。しかし，平均分解能は5よりもわずかに少ないものとなっている。このように，現在の診断手順ではわずかではあるが故障信号線を見逃す可能性がある。しかし，正常な信号線を誤って故障信号線と判定することはない。表6.3(b)～(d)に示すように，他の故障についても同様の結果が得られている。

表6.3(a)，(b)から，故障信号線数に対する平均プローブ数の割合は，33.4，である。(c)の8重故障については，36.0である。図6.5はC1908における，平均プローブ数と故障信号線数の関係を示している。この図から，プローブ数は故障信号線数に比例し（1故障信号線あたり約35），回路規模にはほとんど無関係であることがわかる。

表 6.3 実験結果

(a) 2重縮退故障 + 単一2線間短絡故障 + 単一機能故障

回路名	分解能	プローブ数	CPU時間(sec)
C1908	4.63	150.5	138.0
C3540	4.56	198.1	986.1
C5315	4.85	146.8	189.8
C7552	4.84	160.1	890.3

(b) 単一縮退故障 + 単一3線間短絡故障 + 単一機能故障

回路名	分解能	プローブ数	CPU時間(sec)
C1908	4.79	162.3	150.6
C3540	4.75	201.9	1196.1
C5315	4.83	159.6	208.6
C7552	4.84	157.8	971.3

(c) 2重縮退故障 + 2重2線間短絡故障 + 2重機能故障

回路名	分解能	プローブ数	CPU時間(sec)
C1908	7.34	260.7	178.1
C3540	7.42	338.8	1543.8
C5315	7.25	309.3	308.8
C7552	7.39	212.2	1415.5

(d) 単一縮退故障 + 2重3線間短絡故障 + 単一機能故障

回路名	分解能	プローブ数	CPU時間(sec)
C1908	7.58	255.6	174.7
C3540	7.52	358.7	1357.6
C5315	7.68	325.7	331.2
C7552	7.59	234.8	1525.8

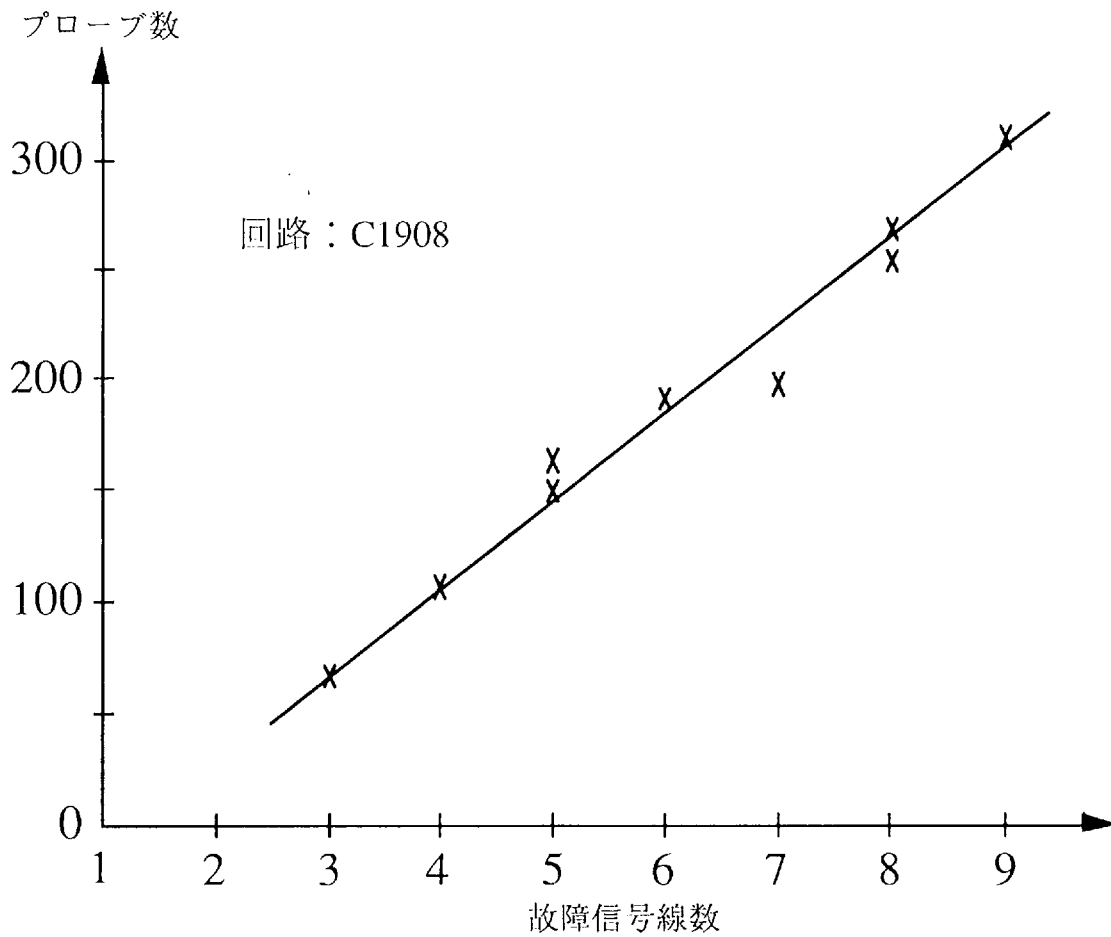


図 6.5 故障信号線数とプローブ数の関係

## 6.5 まとめ

推論とプローブを併用した，組合せ回路における任意の論理故障を診断する方法を示し，計算機実験によりその性能を評価した．計算機実験の結果は，プローブ数が故障信号線数にほぼ比例し，回路規模にほとんど無関係であることを示している．

今後の課題としては，現在の手順では故障信号線の一部を見逃すことがあるので，これを解決する必要がある．また，プローブ数をさらに削減するために，プローブ箇所を選択規則の改良や，この方法に適したテストパターンの生成が必要であると思われる．

## 第7章 性能向上のための診断システムの提案

単一縮退故障に対する診断法としては、高速に被擬部分を数カ所程度まで絞込むことができる手法が提案されている(14)。また、3章で述べた単一短絡故障の診断法の診断解に対して故障シミュレーションを行うことで、被擬部分をやはり数カ所程度にまで絞込むことができる。被擬部分をこの程度にまで絞り込むことができれば、診断解の中から故障信号線を特定するためにプローブを行ったとしても、その数は数カ所程度で十分であり、6章で述べた診断法よりも効率的である。そこで、図7.1に示す診断システムを提案する。

単一故障の診断法はいずれも計算のみで故障箇所を絞込む手法であるため、両方同時に行うことが可能である。単一故障の診断で診断解が得られた場合には、これらの中から故障箇所を特定するためのプローブを行う。単一故障の診断で解が得られなかった場合には多重故障の診断を行う。このような診断システムを構築することにより、単一故障、多重故障の双方に対して診断が効率よく行えるようになると思われる。この診断システムについては現在研究中であり、性能評価は今後の課題である。

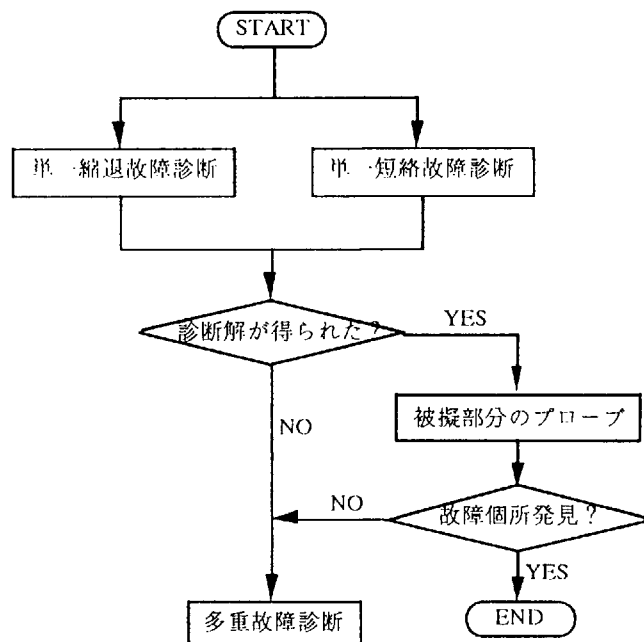


図7.1 診断システムの構成

## 第8章 結論

### 8.1 本研究の総括

本論文は、組合せ回路における論理故障の診断の効率化に関する研究成果を述べたものであり、単一短絡故障、 $n$ 線間短絡故障、および任意の論理故障を診断する手法が示され、計算機実験によりその有効性が明らかにされている。

第1章では、故障診断技術の効率化の必要性、および従来の故障診断技術の概要とその問題点が述べられ、本研究の意義が明らかにされた。

第2章では、本論文が対象とする故障を明らかにするために、縮退故障モデル、短絡故障モデルおよび機能故障モデルが略述された。

第3章では、短絡故障が生じている回路の動作をもとに、短絡故障が存在する条件が求められた。次に、この条件を用いた単一短絡故障の診断法が提示され、計算機実験によりその有効性が明らかにされた。

第4章では、短絡故障の検出率の評価の重要性が述べられ、次に、第3章で述べた外部出力で異常が観測される条件を利用した短絡故障の検出率の評価法が提示され、計算機実験によりその有効性が明らかにされた。

第5章では、多重縮退故障を診断する手法の基本操作が、2本以上の信号線間のAND短絡の診断に利用可能であることが示された。次に、この基本操作を利用した短絡故障の診断法が提示され、計算機実験によりその有効性が明らかにされた。

第6章では、多重故障が存在する場合でも、誤りが観測されたテストの多くでは故障信号線の一つに生じた誤りしか外部出力まで伝播していないことが実験により明らかにされた。この点に着目した、単一故障の診断法とプローブを組み合わせた任意の論理故障の診断法が提示され、計算機実験により、その有効性が明らかにされた。

第7章では、いくつかの診断法を組み合わせることで、任意の論理故障を効率よく診断できるシステムの構築が可能であることが示された。

上記のように、本論文では組合せ回路における論理故障の診断技術に関する研究成果が述べられており、故障診断の効率化のための手法を与えたということが出来る。

## 8.2 今後の研究課題

7章では、単一故障の診断法と6章で述べた診断法を組合せることで任意の論理故障を効率よく診断できるシステムが構築可能であることを示した。この診断システムを実際に構築し、その性能評価を行うことは、今後の課題である。

本研究で行った計算機実験では、診断に用いるテストパターンとしてFANアルゴリズムで生成された単一縮退故障検出用のものを用いた。診断に用いるテストパターンの相違により診断の精度に差がでることが予想され、診断に適したテストパターン生成の研究が必要であると思われる。

本研究では、電子ビームテスタなどを用いることで回路中の全ての信号線の値が観測可能であると仮定していた。しかし、近年のプロセス技術の発達により回路の多層化が可能となり、実際の回路では観測不可能な信号線が存在することがある。このため、観測不可能な信号線が存在する回路の診断について考察する必要がある。

順序回路の診断は、回路の内部状態を考慮する必要があるため、非常に困難なものである。順序回路にスキャン設計を施すことにより、組合せ回路用の診断法を用いて順序回路の診断を行うことができるが、スキャン設計には、本来の機能とは関係のない余分な配線や素子が必要である(チップ面積が増加することや信号伝播時間が増加するなどの問題点がある。このため、順序回路の診断についても研究を行う必要がある。

## 謝 辞

本論文は、筆者が明治大学大学院博士後期課程電気工学専攻在学中に行った研究をまとめたものである。終始懇切な御指導を賜りました本学向殿政男教授に心より感謝致します。本研究の内容について有益な御助言、御教示を頂きました本学山田輝彦教授に心より感謝致します。また、有益な御助言を頂きました本学富沢一隆教授、井口幸洋講師に深く感謝致します。

有益な御助言を頂き、また本研究で評価実験を行うにあたりテスト生成プログラムFANおよび評価用の回路データを提供して頂きました、奈良先端科学技術大学院大学藤原秀雄教授に深く感謝致します。

本研究に関して有益な御助言、御討論を頂きました、大阪大学樹下行三教授、愛媛大学高松雄三教授、中央大学古屋清教授、秋田大学玉本英夫教授、富士通(株)濱田周治氏、日本電気(株)中村芳行氏に深く感謝致します。

## 参考文献

本研究に関連して著者の発表した主な文献

- (1) 山田, 山崎: "組合せ回路における単一短絡故障の診断法", 電子情報通信学会論文誌, Vol.J74-D-I, No.1, pp.58-64 (Jan. 1991).
- (2) 山崎, 山田: "組合せ回路の単一短絡故障に対する検出率の一評価法", 明治大学理工学部研究報告No.6 (Mar. 1992).
- (3) K.Yamazaki and T.Yamada: "SIFLAP-G: A Method of Diagnosing Gate-Level Faults in Combinational Circuits", IEICE Trans. Inf. & Syst., Vol.E76-D, No.7 pp.826-831 (July 1993).
- (4) 山崎, 山田: "組合せ回路における n 線間の短絡故障の診断法", 電子情報通信学会論文誌, Vol.J77-D-I, No.1, pp.77-85 (Jan. 1994).
- (5) 山崎, 山田: "組合せ回路における短絡故障の診断法", 電子情報通信学会秋期全国大会, SD-10-3 (Sep. 1989).
- (6) 岩本, 山崎, 山田: "推論とプローブを用いた組合せ回路の短絡故障の診断法", 電子情報通信学会春期全国大会, D-245 (Mar. 1990).
- (7) 山崎, 山田: "組合せ回路の単一短絡故障に対する検出率の一評価法", 電子情報通信学会技術研究報告, Vol.90, No.238, FTS-90-32, pp.47-52 (Oct. 1990).
- (8) 山崎, 菊池, 山田: "組合せ回路における n 本の信号線の短絡故障の診断法", 情報処理学会研究報告, Vol.91, No.35, DA-57-4 (May 1991).
- (9) 山崎, 山田: "組合せ回路における多重短絡故障の診断法", 電子情報通信学会技術研究報告, Vol.91, No.261, FTS-91-39, pp.23-30 (Oct. 1991).
- (10) 山崎, 森下, 山田: "組合せ回路の故障診断システム", 情報処理DAシンポジウム論文集, Vol.92, No.4, pp.41-44 (Aug. 1992).
- (11) K.Yamazaki, T.Yamada: "A Method of Diagnosing Logical Faults in Combinational Circuits", 1st Asian Test Symposium, Proc., pp.170-175 (Nov. 1992).

## 本研究に関連して引用された主な文献

- (12) H.Y.Chang, E.Manning and G.Metz : "Fault Diagnosis of Digital Systems", John Wiley & Sons, Inc. (1970).
- (13) J.Richman and K.R.Bowden: "The Modern Fault Dictionary", Proc. ITC'85, pp.696-702 (1985).
- (14) 山田, 中村: " 組合せ回路における単一縮退故障の一診断法" , 電子情報通信学会論文誌 D-I, Vol.J74-D-I, No.11, pp.774-780 (Nov. 1991).
- (15) S.D.Millman, E.J.McCluskey and J.M.Acken : "Diagnosing CMOS Bridging Faults with Stuck-at Fault Dictionaries", Proc. ITC'90, pp.860-870 (1990).
- (16) M.Abramovici and M.A.Breuer : "Fault Diagnosis Based on Effect-Cause Analysis : An Introduction", Proc. 16th DAC, pp.69-76 (June 1980).
- (17) 山田, 濱田, 松本, 高橋, 中山: " 組合せ回路における多重縮退故障の診断法" , 電子情報通信学会論文誌 D-I, Vol.J74-D-I, No.1, pp.50-57 (Jan. 1990).
- (18) H.Cox and J.Rajski : "A method of fault analysis for test generation and fault diagnosis", IEEE trans. CAD, val.7, No.7, pp.813-833 (July 1988).
- (19) M.Abramovici : "A Maximal Resolution Guided-Probe Testing Algorithm", Proc. 18th DAC, pp.189-195 (June 1981).
- (20) N.Kuji and T.Tamama : "An Automated E-Beam Tester with CAD Interface, FINDER: A Powerful Tool for Fault Diagnosis of ASICs", Proc. ITC'86, pp.857-863 (1986).
- (21) A.C.Noble : "IDA: A Tool for Computer-Aided Failure Analysis", Proc. ITC'92, pp.848-853 (1992).
- (22) 山田: " 組合せ論理回路における短絡故障のテスト" , 電子情報通信学会論文誌D, J64-D, pp.963-968 (Oct. 1981).
- (23) S.D.Millman and E.J.McCluskey : "Detecting Bridging Faults With Stuck-at Test", Proc. ITC'88, pp.773-783 (1988).
- (24) S.G.Chappell, C.H.Elmendorf and L.D.Schmidt:"LAMP:Logic-Circuit Simulators" , Bell S.T.J., 53, pp.1468-1470 (Oct. 1974).
- (25) M.Abramovici and P.Menon : "A Practical Approach to Fault Simulation and Test Generation for Bridging Faults", Proc. ITC'83, pp.138-142 (1983).
- (26) H.Fujiwara and T.Shimono: "On the Acceleratin of Test Generation Algorithms", IEEE Trans. Comput., C-32, pp.1237-1144 (Dec. 1983).

# 付 録

評価用回路の諸元

回路名	入力数	出力数	ゲート数	テスト数
C880	60	26	383	76
C1355	41	32	546	122
C1908	33	25	880	163
C2670	233	140	1193	147
C3540	50	22	1669	208
C5315	178	123	2307	175
C6288	32	32	2416	57
C7552	207	108	3512	270